

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003年11月13日 (13.11.2003)

PCT

(10) 国際公開番号
WO 03/094238 A1(51) 国際特許分類⁷: H01L 29/06, 29/78, 21/336, 27/108, 21/8242, 27/146, 29/786, 29/861, 51/00, 31/04989-3204 宮城県仙台市青葉区南吉成六丁目6番地
の3 Miyagi (JP).

(21) 国際出願番号:

PCT/JP03/05621

(72) 発明者; および

(22) 国際出願日:

2003年5月2日 (02.05.2003)

(75) 発明者/出願人(米国についてのみ): 笠間泰彦
(KASAMA, Yasuhiko) [JP/JP]; 〒981-8007 宮城県仙
台市泉区虹の丘4丁目11番地の12 Miyagi (JP).
藤本諭 (FUJIMOTO, Satoshi) [JP/JP]; 〒981-3131 宮
城県仙台市泉区七北田字大沢明通21-1 Miyagi
(JP). 表研次 (OMOTE, Kenji) [JP/JP]; 〒981-3222 宮城
県仙台市泉区住吉台東5丁目13-18 Miyagi (JP).

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

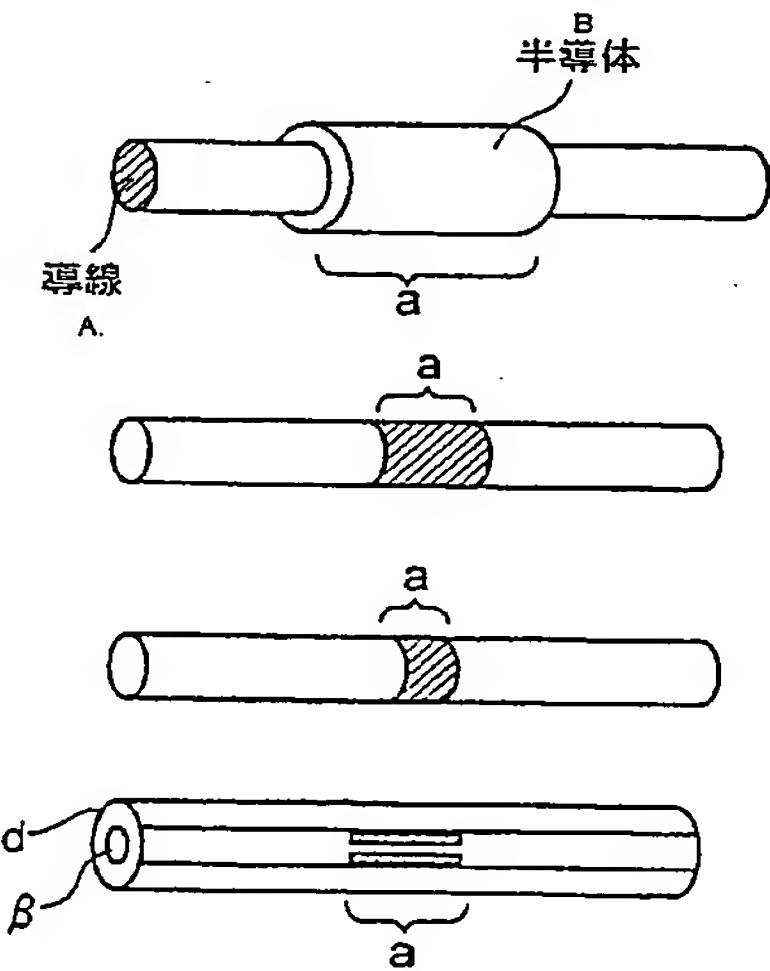
日本語

(74) 代理人: 福森久夫 (FUKUMORI, Hisao); 〒102-0074
東京都千代田区九段南4-5-11 富士ビル2F Tokyo (JP).(30) 優先権データ:
特願2002-131012 2002年5月2日 (02.05.2002) JP(81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB,
BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,

[続葉有]

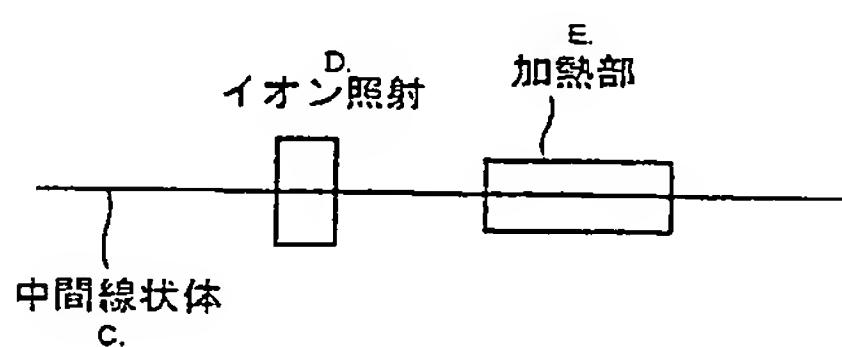
(54) Title: INTEGRATING DEVICE

(54) 発明の名称: 集積装置



(57) Abstract: An integrating device using a line element capable of manufacturing various types of devices of any shape having a flexibility without being limited by shape, characterized in that a plurality of line elements having a circuit element continuously or intermittently formed therein in the longitudinal direction and a plurality of line elements having a cross section with a plurality of areas forming a circuit is continuously or intermittently formed therein in the longitudinal direction are bound to each other, twined with each other, woven, or knitted, connected to each other, and formed in combination with each other or formed in nonwoven state.

(57) 要約: 形状に限定されることなく、柔軟性ないし可撓性を有し、任意の形状の各種装置を作成することが可能な素子を用いた集積装置を提供すること。回路素子が長手方向に連続的又は間欠的に形成されている素子、回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている素子を複数複数束ね、撚り合せ、織り込み又は編み込み、接合し、組み合わせて成形加工し又は不織状に成形したことを特徴とする。



A...CONDUCTOR
B...SEMICONDUCTOR
C...INTERMEDIATE LINE BODY
D...ION IMPLANTATION
E...HEATING PART

WO 03/094238 A1



DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

集積装置

5 技術分野

本発明は、線状素子を利用した集積装置に関する。

背景技術

現在、集積回路を用いた各種のデバイスが広範に普及しており、より一層の高集積化、高密度化に努力が払われている。その一つとして三次元的に集積させる技術も試みられている。

しかし、いずれのデバイスもウエハなどのリジッドな基板を基本構成としている。リジッドな基板を基本構成とする以上、その製造方法には一定の制約を受け、また、集積度には限界がある。さらに、デバイス形状も一定のものに限定されてしまう。

また、綿や絹の表面を金や銅の導電性材料でめっきあるいは包んだ導電性纖維が知られている。

しかし、一本の糸内に回路素子が形成されている技術は知られていない。また、導電性纖維というも綿や絹などの糸自体を基本構成とし、糸自体をその中心に有している。

本発明は、形状に限定されることなく、柔軟性ないし可撓性を有し、任意の形状の各種装置を作成することが可能な集積装置を提供することを目的とする。

発明の開示

25 本発明は、回路素子が長手方向に連続的又は間欠的に形成されている線状素子を複数束ね、撚り合せ、織り込み又は編み込み、接合し、組み合わせて成形加工し又は不織状に成形したことを特徴とする集積装置である。

本発明は、回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子を複数束ね、撚り合せ、織り込み又は編み込み、接合

し、組み合わせて成形加工し又は不織状に成形したことを特徴とする集積装置である。

本発明は、回路素子が長手方向に連続的又は間欠的に形成されている線状素子を複数織り込む又は編み込むことにより形成したことを特徴とする布地状体である。

5 本発明は、回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子を複数織り込む又は編み込むことにより形成したことを特徴とする布地状体である。

本発明は、回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子を複数織り込む又は編み込むことにより製造したことを特徴とする衣服である。

本発明は、回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子を複数織り込む又は編み込むことにより製造したことを特徴とする衣服である。

なお、ここで、線状素子は次ぎのものが好ましい。

15 前記素子はエネルギー変換素子であること。

前記素子は、電子回路素子ないし光回路素子であること。

前記素子は、半導体素子であること。

前記素子は、ダイオード、トランジスタ又はサイリスタであること。

前記素子は、発光ダイオード、半導体レーザ又は受光デバイスであること。

20 前記素子は、DRAM、SRAM、フラッシュメモリその他のメモリであること。

前記素子は、光起電力素子であること。

前記素子は、イメージセンサ素子又は二次電池素子であること。

縦断面形状が円形、多角形、星型、三日月、花弁、文字形状その他の任意形状を有していること。

25 線側面に複数の露出部を有していること。

前記線状素子は、その全部又は一部が押出し加工により形成されたものであること。

前記線状素子は、その一部又は全部を押出し加工後さらに延伸加工することにより形成されたものであること。

前記線状素子は、押出し加工後さらに展伸加工されたものであること。

前記展伸加工後、リング状又はらせん状に形成したこと。

前記リングは多重リングであること。

前記多重リングは、異なる材料からなること。

5 リング又はらせんの一部が露出部となっていること。

前記リング又はらせんの空隙部の一部又は全部に他の材料を充填したこと。

外径が10mm以下であること。

外径が1mm以下であること。

外径が1μm以下であること。

10 アスペクト比が10以上であること。

アスペクト比が100以上であること。糸状として1000以上が好ましい。

断面内に、ゲート電極領域、絶縁領域、ソース及びドレイン領域、半導体領域が形成されていること。

中心にゲート電極領域を有し、その外側に、絶縁領域、ソース及びドレイン領域、

15 半導体領域が順次形成されていること。

中心に中空領域ないし絶縁領域を有し、その外方に半導体領域を有し、該半導体領域内に、一部が外方に露出するようにソース及びドレイン領域を有し、その外方に絶縁領域及びゲート電極領域を有すること。

少なくともp-n接合ないしp-i-n接合を有する領域が断面内に形成されている

20 こと。

前記回路を形成する半導体領域は、有機半導体材料からなること。

前記有機半導体材料は、ポリチオフェン、ポリフェニレンであること。

前記回路を形成する導電性領域は、導電性ポリマーからなること。

前記導電性ポリマーは、ポリアセチレン、ポリフェニレンビニレン、ポリピロー

25 ル、であること。

長手方向の任意の位置に異なる回路素子が形成されていること。

長手方向の任意の位置に回路素子分離領域を有すること。

長手方向の任意の位置に断面の外径形状が異なる部分を有すること。

導電性ポリマーにより領域の一部が構成され、分子鎖の長手方向配向率が50%

以上であること。

導電性ポリマーにより領域の一部が構成され、分子鎖の長手方向配向率が70%以上であること。

導電性ポリマーにより領域の一部が構成され、分子鎖の円周方向配向率が50%以上であること。

導電性ポリマーにより領域の一部が構成され、分子鎖の円周方向配向率が70%以上であること。

また線状素子は次ぎの方法により製造することが好ましい。

回路素子を形成する領域を形成する材料を溶解、溶融又はゲル化し、該材料を所10 望の形状に線状に押出すこと。

前記領域の一部が導電性ポリマーにより形成されていること。

前記押し出し後さらに延伸加工すること。

前記押し出し加工後さらに展伸加工すること。

前記延伸加工後さらに展伸加工すること。

15 前記展伸加工後、リング状に形成すること。

中心から外方に多層に積層した線状素子の製造方法であって、中心層を押し出しにより糸状に形成して一次糸状体とし、次いで該一次糸状体を走行させながら、表面に外方の層の原料を射出して外方の層を順次形成すること。

導電性ポリマーの押出時、走行速度と噴出速度との差を20m/sec以上とすること。

(回路素子)

ここで、回路素子としては、例えば、エネルギー変換素子があげられる。エネルギー変換素子は、光エネルギーを電気エネルギーに変換したり、電気エネルギーを光エネルギーに変化したり、電子回路、磁気回路あるいは光回路素子があげられる。

25 回路素子とはエネルギー変換が行われる素子であり、信号を単に伝送する光ファイバーとは異なる。

回路素子としては、例えば、電子回路素子ないし光回路素子があげられる。より具体的には、例えば、半導体素子である。

従来のプロセス技術上の違いから分類すると、ディスクリート（個別半導体）、

光半導体、メモリ等があげられる。

より具体的には、ディスクリートとして、ダイオード、トランジスタ（バイポーラトランジスタ、FET、絶縁ゲート型トランジスタ）、サイリスタなどがあげられる。光半導体として、発光ダイオード、半導体レーザ、発光デバイス（フォトダイオード、フォトトランジスタ、イメージセンサ）などがあげられる。また、メモリとしては、DRAM、フラッシュメモリ、SRAMなどがあげられる。

（回路素子の形成）

本発明では、回路素子が長手方向に連続的あるいは間欠的に形成されている。

すなわち、長手方向垂直断面内に複数の領域を有し、該複数の領域が一つの回路素子を形成するように配置されており、かかる断面が長手方向に連続的あるいは間欠的に糸状に続いている。

例えば、NPNバイポーラトランジスタの場合、エミッタN領域、ベースP領域、コレクタP領域の3つの領域から構成される。従って、これらの3つの領域が断面内に、必要な領域間接合を持たせて配置されている。

その配置方法としては、例えば、各領域を同心円状に形成中心にから順に配置する方法が考えられる。すなわち、中心からエミッタ領域、ベース領域、コレクタ領域を順次形成すればよい。もちろん他の配置も考えられ、トポロジー的に同一の配置を適宜用いればよい。

なお、各領域に接続する電極は、糸状素子の端面から各領域に接続してもよい。

また、当初から各領域に埋め込んでもよい。すなわち、前記同心円状に各半導体領域を配置した場合には、エミッタ領域の中心にエミッタ電極を、ベース領域にベース電極を、コレクタ領域の外周にコレクタ電極を、各半導体領域と同様に長手方向に連続的に形成すればよい。なお、ベース電極は、分割して配置すればよい。

以上のNPNバイポーラトランジスタは後述する押出し形成方法により一体形成することが可能である。

以上は、NPNトランジスタを例にとったが他の回路素子についても同様に、断面内に複数の領域を必要な接合を持たせて配置し、該断面を長手方向に例えば押し出しにより連続的に形成すればよい。

（連続形成、間欠形成）

回路素子は、連続的に形成されている場合は、どの断面をとっても同一形状をなしている。俗にいう金太郎飴状態である。

該回路素子は、同一素子を線状の長手方向に連続して形成してもよいし間欠的に形成してもよい。

5 (線状)

本発明における線状素子における外径は、10mm以下が好ましく、5mm以下がより好ましい。1mm以下が好ましく、10μm以下がさらに好ましい。得延伸加工を行うことにより1μm以下、さらには0.1μm以下とすることも可能である。線状素子を織り込みで布地状とするためにも外径は小さいほど好ましい。

10 1μm以下の外径を有する極細線状体を型の孔から吐出させて形成しようとす
る場合には、孔のつまりが生じたり、糸状体の破断が生ずる場合がある。かかる場
合には、各領域の線状体をまず形成する。次ぎにこの線状体を島として多くの島を
作り、その周囲（海）を可溶性のもので取り巻き、それをロート状の口金で束ねて、
小口から一本の線状体として吐出させればよい。島成分を増やして海成分を小さく
15 すると極めて細い線状体素子をつくることができる。

他の方法として、一旦太めの線状体素子をつくり、その後長手方向に延伸すれば
よい。また、溶融した原料をジェット気流に乗せてメルトブローして極細化を図る
ことも可能である。

また、アスペクト比は、押出形成により任意の値とすることができます。紡糸によ
る場合には、糸状として1000以上が好ましい。例えば100000あるいはそれ以上も可
能である。切断後使用する場合には、10～10000、10以下、さらには1以下、0.1以下として小単位の線状素子としてもよい。

(間欠形成)

同一素子を間欠的に形成する場合、長手方向に隣接する素子を異なる素子とする
25 ことができる。例えば、長手方向に順次、MOSFET (1)、素子間分離層 (1)、
MOSFET (2)、素子間分離層 (2) ……MOSFET (n)、素子間分離層 (n) と形成すればよい。

この場合、MOSFET (k) (k=1~n) と他のMOSFETとの長さは、
同じとしてもよいが異なる長さとしてもよい。希望する回路素子の特性に応じて適

宜選択することができる。素子間分離層の長さについても同様である。

もちろん、MOSFETと素子分離層との間に他の層を介在せしめてもよい。

以上はMOSFETを例にとって説明したが、他の素子を形成する場合、他の素子の用途上必要な層を間欠的に挿入しておけばよい。

5 (断面形状)

線状素子の断面形状は特に限定されない。例えば、円形、多角形、星型、三日月、花弁その他の形状とすればよい。例えば、複数の頂角が鋭角をなす多角形状であってもよい。

また、各領域の断面も任意にすることができる。すなわち、例えば、図1に示す構造の場合、ゲート電極を星型とし、線状素子の外側形状は円形状でもよい。

素子により、隣接する層との接触面を大きくとりたい場合には、頂角が鋭角となっている多角形状とすることが好ましい。

なお、断面形状を所望の形状とするには、押し出しダイスの形状を該所望する形状のものとすれば容易に実現することができる。

15 最外層の断面を星型あるいは頂角が鋭角をなす形状とした場合、押し出し形成後、頂角同士の間の空間に、例えば、ディッピングにより他の任意の材料を埋め込むことができ、素子の用途によって素子の特性を変化させることができる。

また、断面形状が凹形状の線状素子と断面形状が凸形状の線状素子とを嵌合せしめることにより線状素子間の接続を有効的にとることも可能となる。

20 なお、半導体層へ不純物をドーピングしたい場合は、溶融原料中に不純物を含有せしめておいてもよいが、押し出し形成後、真空室内を線状のまま通過させ、真空室内で例えばイオン注入法などにより不純物をドープしてもよい。半導体層が最外層ではなく内部に形成されている場合には、イオン照射エネルギーを制御することにより内層である半導体層のみにイオン注入すればよい。

25 (製造例 後加工形成)

上記製造例は、複数の層を有する素子を押し出しにより一体形成する例であるが、素子の基本部を押し出しにより線状に形成し、その後該基本部に適宜の方法により被覆を施すことにより形成してもよい。

(原材料)

電極、半導体層などの材料としては、導電性高分子を用いることが好ましい。例えば、ポリアセチレン、ポリアセン、(オリゴアセン)、ポリチアジル、ポリチオフェン、ポリ(3-アルキルチオフェン)、オリゴチオフェン、ポリピロール、ポリアニリン、ポリフェニレン等が例示される。これらから導電率などを考慮して
5 電極、あるいは半導体層として選択すればよい。

なお、半導体材料としては、例えば、ポリパラフェニレン、ポリチオフェン、ポリ(3-メチルチオフェン)などが好適に用いられる。

また、ソース・ドレイン材料としては、上記半導体材料に、ドーパントを混入せしめたものを用いればよい。n型とするためには、例えば、アルカリ金属(Na、
10 K、Ca)などを混入せしめればよい。AsF₅/AsF₃やClO₄⁻をドーパントとして用いる場合もある。

絶縁性材料としては、一般的な樹脂材料を用いればよい。また、SiO₂その他の無機材料を用いてもよい。

なお、中心部に半導体領域あるいは導電性領域を有する構造の線状素子の場合、
15 中心部の領域は、アモルファス材料(アルミニウム、銅などの金属材料:シリコンなどの半導体材料)により構成してもよい。線状のアモルファス材料を型の中止部を挿通せしめて線状アモルファス材料を走行させ、その外周に、射出により他の所望の領域を被覆して形成すればよい。

20 図面の簡単な説明

第1図は、実施例に係る集積装置に用いる線状素子を示す斜視図である。

第2図は、線状素子の製造装置例を示す概念正面図である。

第3図は、線状素子の製造に用いられる押出装置を示す正面図及び型の平面図である。

25 第4図は、線状素子の実施例を示す図である。

第5図は、線状素子の製造に用いられる型の平面図である。

第6図は、線状素子の製造工程例を示す断面図である。

第7図は、線状素子の製造工程例を示す図である。

第8図は、線状素子の製造例を示す図である。

第9図は、実施例に係る集積装置に用いる線状素子を示す斜視図である。

第10図は、実施例に係る集積装置に用いる線状素子を示す断面図である。

第11図は、線状素子の製造例を示す工程図である。

第12図は、線状素子の製造例を示す斜視図である。

5 第13図は、実施例に係る集積回路装置を示す図である。

第14図は、実施例に係る集積回路装置を示す図である。

第15図は、実施例に係る集積回路装置を示す図である。

第16図は、実施例に係る集積回路装置を示す図である。

10 発明を実施するための最良の形態

(実施例1)

図1に本発明の実施例に係る集積装置に用いる線状素子を示す。

6が線状素子であり、この例ではMOSFETを示している。

この素子は断面において、中心にゲート電極領域1を有し、その外側に、絶縁領域2、ソース領域4、ドレイン領域3、半導体領域5が順次形成されている。

一方、図2に、かかる線状素子を形成するための押出し装置の一般的構成を示す。

押出し装置20は、複数の領域を構成するための原料を溶融状態あるいは溶解状態、あるいはゲル状態で保持するための原料容器21、22、23を有している。

図2に示す例では、3この原料容器を示しているが、製造する線状素子の構成に応じて適宜設ければよい。

原料容器23内の原料は、型24に送られる。型24には、製造しようとする線状素子の断面に応じた射出孔が形成されている。射出孔から射出された線状体は、ローラ25に巻き取られるか、あるいは必要に応じて次ぎの工程に線状のまま送られる。

25 図1に示す構造の線状素子を製造する場合には図3に示すような構成が取られる。

原料容器としてはゲート材料30、絶縁性材料31、ソース・ドレイン材料32、半導体材料34がそれぞれ容器内に溶融あるいは溶解状態、ゲル状態で保持されている。一方、型24には、それぞれの材料容器に連通させて、孔が形成されている。

すなわち、まず、中心部には、ゲート材料 3 0 を射出するための複数の孔 3 0 a が形成されている。その外側周辺には、絶縁性材料 3 1 を射出させるための複数の孔 3 1 a が形成されている。そしてその外周にさらに複数の孔が形成され、この複数の孔の一部の孔 3 2 a、3 3 a のみがソース・ドレイン材料容器 3 2 に連通している。他の孔 3 4 a は半導体材料容器 3 4 に連通している。

各原料容器から溶融あるいは溶解状態、ゲル状態の原料を型 2 4 から射出すると各孔から原料は射出し、固化する。その端を引っ張ることにより、糸状に連続して線状素子が形成される。

糸状の線状素子は、ローラ 2 5 で巻き取る。あるいは必要に応じて次ぎの工程に糸状のまま送る。

ゲート電極材料としては、導電性ポリマーを用いればよい。例えば、ポリアセチレン、ポリフェニレンビニレン、ポリピロールなどが用いられる。特にポリアセチレンを用いることにより、より外径が小さな線状素子が形成できるため好ましい。

半導体材料としては、例えば、ポリパラフェニレン、ポリチオフェン、ポリ(3-メチルチオフェン)などが好適に用いられる。

また、ソース・ドレイン材料としては、上記半導体材料に、ドーパントを混入せしめたものを用いればよい。n型とするためには、例えば、アルカリ金属(Na、K、Ca)などを混入せしめればよい。AsF₅／AsF₃やClO₄⁻をドーパントとして用いる場合もある。

絶縁性材料としては、一般的な樹脂材料を用いればよい。また、SiO₂その他の無機材料を用いてもよい。

以上に例示した材料は以下の実施例に示す線状素子についても同様に用いられる。

なお、本例では、取出電極は、線状素子の端面に接続している。もちろん長手方向の適宜の位置の側面に取出口を設けてよい。

(実施例 2)

図 4 に実施例 2 に係る集積装置に用いる線状素子を示す。

本例では、実施例 1 における取りだし電極を線状素子の側面に設けたものである。図 4 (a) に示す取出部 4 1 a、4 1 b は、長手方向の所望する位置に設定するこ

とができる。取出部41aと取出部41bとの間隔も所望の値とすることができます。

取出部41のA-A断面を図4(a)に示す。なお、図4(b)のB-B断面は図1に示す端面の構造である。

本例では、ソース4、ドレイン3の側面に取り出し電極としてソース電極45、
5 ドレイン電極46をそれぞれソース4、ドレイン4に接続させてある。また、半導
体層5とソース電極45、ドレイン電極46とは絶縁層47により絶縁されている。

かかる構成とするためには図5に示す型を用いる。すなわち、ソース・ドレイン
材料噴出口33a, 34aの側面に絶縁層用の孔40aと取出電極用の孔41aを
設ける。絶縁層用の孔40aは絶縁層材料容器(図示せず)に連通しており、取出
10 電極用の孔41aは取り出し電極材料容器(図示せず)に連通している。

この場合、最初は、30a, 31a, 32a, 33a, 34aからのみ原料材料
を噴出させる。すなわち、40a, 41aからの噴出はオフにする。半導体層原料
は、40a, 41aに対応する部分に廻り込み、実施例1に示す断面で押出される。
なお、この際、絶縁層47、ドレイン電極45、ソース電極46はその幅を小さく
15 取っておく。40a, 41aからの噴出をオフにしたとき、半導体層を形成する材
料はその部分に廻り込む。

次ぎに、40a, 41aからの噴出をオンにする。これにより断面形状は変化し、
図5に示す断面で押出される。40a, 41aをオンにする時間とオフにする時間
を適宜変化させることによりA-A断面の長さ、B-B断面の長さを任意の長さに
20 調整することができる。

なお、本例断面形状を間欠的に形成する例でもあり、A-Aとして他の断面形状、
材料とすることもできる。例えば、A-A部分全部を絶縁層とすることもできる。
他の端面形状の場合についても同様の手法により形成することができる。

なお、ドレイン電極45、ソース電極46の面積を大きくとり、取出電極用の孔
25 41aからの射出をオフにすれば半導体層の原料あるいは絶縁層の原料は完全に
は廻り込みます、ソース電極・ドレイン電極に対応する部分は空間となる。押出し
後その空間に電極材料を埋め込めばよい。

(実施例3)

図6に実施例を示す。

実施例 1、2 では線状素子を押し出しにより一体形成する場合を示したが、本例では、線状素子の一部を押し出しにより形成し、他の部分は、外部加工により形成する例を示す。

線状素子としては実施例 2 で示す線状素子を例に取る。

5 まず、ゲート電極 1 と絶縁膜 2 とを押し出しにより糸状の中間体を形成する（図 6 (a)）。

次ぎに溶融あるいは溶解状態、ゲル状態に半導体材料を絶縁膜 2 の外側にコーティングして半導体層 6 1 を形成して、二次中間体とする（図 6 (b)）。かかるコーティングは、溶融あるいは溶解状態、ゲル状態に半導体材料の槽中を糸状の中間体を通過させればよい。あるいは蒸着などの方法を採用してもよい。

次ぎに、マスキング材 6 2 を半導体層 6 1 の外側にコーティングする。マスキング材 6 1 のコーティングも溶融ないし溶解、ゲル化したマスキング材中を二次中間体を通過させるなどして形成すればよい。

次いで、マスキング材 6 2 の所定の位置（ドレイン・ソースに対応する位置）を 15 エッチングなどにより除去して開口 6 3 を形成する（図 6 (c)）。

次いで、糸状二次中間体を減圧室内を通過させながら、射程距離を制御してイオン注入を行う（図 6 (d)）。

次いで、熱処理室を通過させてアニールを行うことによりソース領域、ドレイン領域が形成される。

20 このように、形成する領域の配置や材料に応じて適宜押し出しと外部加工とを組み合わせればよい。

（実施例 4）

本例では、図 1 に示す線状素子における各領域を順次形成する例を示す。

その手順を図 7 に示す。

25 まず、紡糸技術により、型 a の孔からゲート電極原料を射出してゲート電極 1 を形成する（図 7 (b)）。このゲート電極 1 を便宜上中間糸状体と呼ぶ。

次いで、図 7 (a) に示すように、中間糸状体を型 b の中心を挿通させて中間糸状態を走行させながら、型 b に形成された孔から絶縁膜材料を射出して絶縁膜 2 を形成する（図 7 (c)）。なお、型 b の下流側にはヒータが設けられている。必要

に応じ、このヒータにより糸状体を加熱する。加熱することにより、絶縁膜中溶媒成分を絶縁膜から除去することが可能となる。以下のソース・ドレイン層、半導体層の形成についても同様である。

次いで、中間糸状体を走行させながら、ソース・ドレイン層3、4を形成する(図5 7 (c), (d))。なお、ソース領域4とドレイン領域3とは絶縁膜2上で分離して形成されている。これは、型cの一部にのみ孔を設けることにより可能となる。

次ぎに、中間糸状体を型での中心を挿通させて同様に走行させながら、半導体層5を同様に形成する。

なお、図7 (f)に示すように、長手方向の一部にソース・ドレイン用の取出電極を設けたい場合には型dに設けてある複数の孔のうちの一部の孔(ソース・ドレイン電極に対応する部分の孔)からの原料の供給をオフとすればよい。また、長手方向全体に取出用の穴を設けたい場合には図7 (g)に示すような型d 2を用いて半導体層の形成を行えばよい。

(実施例6)

15 図8に実施例6を示す。

本例は、半導体素子の形成材料として導電性ポリマーを用いる場合の導電性ポリマーの射出例を示すものである。

実施例5では、型内の中間糸状体を挿通させながら中間糸状体の表面に外層を形成する例を示した。本例は、この外層が導電性ポリマーである場合を示す。

20 原料8 $v_1 - v_0$ を20m/sec以上とする。好ましくは、50m/secである。より好ましくは、100m/sec以上である。上限としては、中間糸状体が切斷しない速度である。切斷を生じる速度は、材料の吐出量、材料の粘度、射出温度などによっても異なるが具体的には実施の材料などの条件を設定して予め実験により求めておけばよい。

25 噴出速度 v_0 と走行速度 v_1 とを20m/sec以上とすることにより噴出された材料には、加速度がかかり外力が働く。外力の主な方向は走行方向である。導電性ポリマー中の分子鎖は、一般的には、図8 (c)に示すように撚れた状態となっており、また、その長手方向もランダムな方向を向いている。しかるに、噴出とともに外力が走行方向にかかると、分子鎖は図8 (b)に示すように、撚ればとれる

とともに長手方向に水平に並ぶ。

ところで、電子（あるいはホール）は、図8（b）に示すように、最も準位が近い分子鎖にホップすることにより移動する。従って、図8（b）に示すように分子鎖が水平方向に配向している場合には、図8（c）のようにランダムに配向している場合に比べて電子のホッピングは極めて生じやすくなる。
5

噴出とともに外力が走行方向にかけることにより分子鎖を図8（b）に示すように配向させることができる。また、分子鎖間同士の距離も短くすることが可能となる。

なお、本例は、他の実施例においても、導電性ポリマーにより所定の領域を形成
10 する場合には当然適用することができることはいうまでもない。

分子鎖の長手方向配向率を50%以上とすることにより電子の移動度が高まりより優れた特性を有する線状素子とすることができます。高い配向率は、噴出速度と走行速度との差を制御することによっても制御できる。また、長手方向への延伸率を制御することによっても制御することができる。

15 なお、ここで言う配向率は、長手方向に対して0～±5°の傾きを有している分子の数の全体の分子の数に対する割合に100をかけたものである。

なお、70%以上とすることにより、より一層優れた特性の線状素子が得られる。
(実施例7)

図9に実施例7に係る集積装置に用いる線状素子を示す。

20 本例の線状素子は、中心に中空領域ないし絶縁領域70を有し、その外方に半導体領域5を有し、半導体領域5内に、一部が外方に露出するようにソース領域4及びドレイン領域3を有し、その外方にゲート絶縁膜領域2及びゲート電極領域1を有する。

なお、ゲート電極領域1の外方に絶縁性の樹脂などからなる保護層を設けてよい。保護層の適宜の位置を開口させゲート電極の取り出し部分としてもよい。
25

なお、本例においても長手方向の任意の位置に実施例2と同様に図7に示す断面間に別の形状を有する断面を送入してもよい。

本例の線状素子の場合、中空領域70と半導体領域5とを押し出しにより形成後、ソース領域4、ドレイン領域3にドーピングを行い、次いで、絶縁膜領域、ゲート

電極領域 1 をそれぞれコーティングにより形成することが好ましい。絶縁膜 2 としては、 SiO_2 などの無機材料を用いることが好ましい。

(実施例 8)

図 10 (a) に実施例 8 に係る集積装置に用いる線状素子を示す。

5 本例は、 p i n 構造を有する線状素子である。

すなわち、中心に電極領域 102 を有し、その外方に、n 層領域 101、i 層領域 100、p 層領域 103、電極領域 104 が形成されている。なお、本例では、p 層領域 103 の外方に透明樹脂などからなる保護層領域 105 が設けてある。

10 この線状素子は、電極領域 102、n 層領域 101、i 層領域 100 を押し出しにより一体的に形成する。

p 層領域 103、電極領域 104 は後付け加工により形成する。例えば、コーティングなどにより形成する。p 層領域 103 を後付け加工とすることにより p 層領域 103 の厚さを薄くすることができる。そのため、光起電力素子として用いる場合、p 層 103 からの入射光を効率良く空乏層に取り込むことが可能となる。

15 もちろん、電極領域 102、n 層領域 101、i 層領域 100、p 層領域 103、電極領域 104 を押し出しにより一体形成してもよい。

なお、図 10 (a) では、i 層の円周形状は円としたが、星型形状とすることが好ましい。これにより p 層 103 と i 層 100 との接合面積が増大し、変換効率を高めることが可能となる。

20 図 10 (a) に示す例では、電極 104 は p 層 103 の一部に設けてあるが全周を覆って形成してもよい。

なお、p 層 103 と電極 104 との間に p^+ 層を設けてもよい。 p^+ 層を設けることにより p 層 103 と電極 104 とのオーミックコンタクトが取りやすくなる。また、電子は i 層側に流れやすくなる。

25 p 層、n 層、i 層を形成するための半導体材料としては、有機半導体材料が好適に用いられる。例えば、ポリチオフェン、ポリピロール等が用いられる。p 型、n 型とするためには適宜のドーピングを行えばよい。p 型ポリピロール／n 型ポリチオフェンの組み合わせでもよい。

また、電極材料としても導電性ポリマーが好ましい。

(実施例 9)

図 10 (b) に実施例 9 に係る集積装置に用いる線状素子を示す。

実施例 5 では、p i n 構造を同心円状に形成したが、本例では、断面形状四角形とした。p 層領域 8 3、i 層領域 8 0、n 層領域 8 1 を横配列とした。また、電極 5 8 2、8 3 をそれぞれ側面に形成した。

本例では、図 10 (b) に示す断面が長手方向に連続的に形成されているものである。

この構造の線状素子は、押出し加工により一体的に形成すればよい。

(実施例 10)

10 本例では、中心部に電極領域を有し、その外周に p 型材料と n 型材料とを混合した材料からなる一つの領域を形成する。さらにその外周に電極領域を形成する。

すなわち、上記例では、p 層と n 層との接合させた 2 層構造 (あるいは i 層を介在させた 3 層構造) のダイオード素子を示した。しかし、本例は p 型材料と n 型材料とを混合した材料からなる一層構造のダイオード素子である。

15 p 型 / n 型混合体材料は電子供与体導電性ポリマーと電子受容体導電性ポリマーとを混合することにより得られる。

p 型 / n 型混合体材料により素子領域を形成すれば単純な構造となり好ましい。

(実施例 11)

本例では、上記実施例において示した線状素子をさらに長手方向に延伸させた。

20 延伸方法は、例えば、銅線や銅管を延伸させる技術を用いればよい。

延伸させることにより径をさらに細径化させることができる。特に、導電性ポリマーを用いている場合には、前述したように、分子鎖を長手方向に平行にすることができる。のみならず、平行となった分子鎖同士の間隔を小さくすることができる。従って、電子のホッピングが効率良く行われる。その結果、より特性の優れた線状素子を得ることができる。

延伸による絞り率、10 %以上が好ましい。10⁻⁹⁹ %がより好ましい。なお、絞り率は、100 × (延伸前面積 - 延伸後面積) / (延伸前面積) である。

延伸は、複数回繰り返し行ってもよい。弾性率が大きくない材料の場合は繰り返して延伸を行えばよい。

延伸後における線状素子の外径としては、1 mm以下が好ましい。10 μm 以下がより好ましい。1 μm 以下がさらに好ましい。0.1 μm 以下が最も好ましい。

(実施例 12)

図11に実施例12を示す。

5 本例では、断面四角形形状に原体材料を押し出しにより線状に形成して中間線状押出体111を製造する(図11(a))。他の断面形状に押し出してもよい。

次いで、中間線状押出体111を断面における横方向あるいは断面縦方向に延伸して展伸体112を形成する(図11(b))。図では図面上横方向に延伸させた例を示している。

10 次いで、展伸体112を長手方向に平行に適宜の数に切断して単位展伸体113a、113b、113c、1113dを複数製造する。なお、この切断を行うことなく次ぎの工程に移行してもよい。

15 次いで、単位展伸体を適宜の形状に加工する。図に示す例では、リング形状(図11(d))、螺旋形状(図11(e))、二重リング形状(図11(f))に加工している。

次いで、中空部114a、114b、114c、114dに適宜の材料を埋め込む。単位展伸体が半導体材料である場合には電極材料を埋め込む。もちろん、リング形状などへの加工後ではなく、リング形状への加工と同時に埋め込みを行ってよい。

20 また、図11(f)に示すような二重構造の場合単位展伸体114cと単位展伸体114dとは異なる材料を用いてよい。

また、押し出し後(図11(a))、延伸後(図11(b))、切断後(図11(d))にその表面に他の材料をコーティングしておいてよい。例えば、ディッピング、蒸着、めっきその他の方法によりコーティングを行えばよい。コーティングする材料は、製造する素子の機能に応じて適宜選ぶことができる。半導体材料、磁気材料、導電性材料、絶縁性材料のいずれでもよい。また、無機材料、有機材料のいずれでもよい。

本例において、展伸体材料として導電性ポリマーを用いた場合には、分子鎖の長手方向は、延伸方向である図面上における左右となるように配向する。そのため、

リング状に加工した後においては、図11(g)に示すように円周方向に分子鎖の長手方向が配向する。従って、電子は、半径方向にホッピングしやすくなる。

また、リング状に加工する場合、開口115を設けておくと、この開口を例えれば、電極等の取出口として用いることができる。線状素子同士を織りんで集積装置とする際ににおける線状素子同士の接続部とすることもできる。また、他の領域との接合面として用いることもできる。

なお、リング状形状などの加工した後は、所望の断面領域を有する線状素子を完成させるための中間体としてこのリング形状等を有する線状体を用いることができる。

なお、図11(h)に示すように、線状体の長手方向の適宜位置に周期的あるいは非周期的にくびれ部(断面の外径形状が他の部分と異なる部分)117を設けておいてもよい。長手方向に垂直に他の線状素子を織り込む場合、このくびれ部を位置決めの目印として利用することができる。かかるくびれ部の形成は、本例に限らず、他の線状素子においても適用することができる。

なお、円周方向への分子鎖の配向率を50%以上とすることが好ましい。70%以上とすることがより好ましい。これにより優れた特性の線状素子が得られる。

(実施例13)

図12に、断面形状が間欠的に形成されている素子の製造方法例を上記実施例中においても述べたが、本例では、押出形成の場合における他の製造例を示す。

なお、図12では、回路素子を形成する領域の一部の領域のみを示す。

図12(a)は、半導体材料を射出する際にaに示すタイミングだけ半導体材料を射出するものである。導線材料を連続的に射出し、半導体材料を間欠的に射出して導線と半導体とを同時に形成してもよい。また、導線部分を最初に形成し、導線を走行させながら導線の周囲に半導体材料を間欠的に射出してもよい。

図12(b)に示す例においては、最初に線状の半導体あるいは絶縁体を形成し、その後、長手方向に間欠的に導電体を蒸着などによりコーティングすることにより長手方向に異なる断面領域を有する部分を設けるものである。

図12(c)に示す例においては、まず、有機材料を線状に形成する。次いで、長手方向に間欠的に光を照射して、照射した部分に光重合を起こさせる。

これにより、長手方向に異なる断面領域を有する部分を形成することができる。

図12 (d) は、 α は光透過性の導電性ポリマーであり、 β は光硬化性の導電性ポリマーからなる2層を一体に押出により形成した中間線状体である。この中間線状体を走行させながら間欠的に光を照射すると α 部分が光硬化を起こす。これにより長手方向に異なる断面領域を有する部分を形成することができる。

図12 (e) は、イオン照射を用いる例である。線状体を走行させ、その途上に照射装置を設けておく。イオン照射からイオンを間欠的に照射する。イオンの照射は全方向から行ってもよいし。所定方向からのみ行ってもよい。形成しようとする断面領域に応じて適宜決定すればよい。また、イオンの射程距離も適宜決定すればよい。

イオン照射装置の下流に加熱装置を設けておき、イオン照射後の線状体を加熱する。加熱によりイオンが照射された部分は別組織となる。

全方向から照射した場合には全面が別組織となる。また、所定の方向からのみイオンを照射した場合には、その部分のみが別組織となる。

なお、図12 (f) に示す例では、イオンの照射対象である中間線状体は一層構造の例を示したが、2層構造であってもイオン照射時の射程距離を制御することにより内部にのみイオンを注入することも可能である。熱処理により照射された内部に別組織を形成することができる。

中間線状体としてシリコン線状体を用い、 O_2 イオンを注入すれば SiO_2 領域を形成することができる。射程距離を制御すればいわゆる BOX （埋め込み酸化膜）を形成することができる。なお、間欠的に別断面領域を形成する場合として BOX を述べたが BOX は長手方向全域に形成してもよい。

(実施例14)

本例は、複数の線状素子の織り込みにより集積回路を形成する例である。

図13に集積回路例を示す。

図13に示す集積回路はDRAMタイプの半導体メモリである。DRAMメモリは縦横に配列されたメモリセルからなり、その回路を図13 (a) に示す。

一つのセルはMOSFET 209a1とコンデンサ207とからなる。一つ一つのセルにはビット線S1、S2……とワード線G1、G2……の導線がつながって

いる。

図13 (b) に示すように、このセルをMOSFET線状素子209a1とコンデンサ線状素子207から構成する。MOSFET線状素子を列の数だけ用意する。

このMOSFET209a1は、中心部から外周に向かいにゲート電極201、
5 絶縁層202、ソース・ドレイン204、205、半導体層203が順次形成され
ている。

また、長手方向においては素子分離領域210が形成されている。ただ、ゲート
電極201は一つの線状体を貫いている。すなわち、一つのゲート電極を共通のワ
ード線として、一つの線状体には、複数のMOSFET209a1、209b1、
10 ……が長手方向に形成されている。

また、図13 (a) のMOSFET209a2、a3……も同様に線状素子によ
り構成する。

なお、このMOSFET線状素子は高分子材料から構成することが好ましい。

また、ソース領域204の取出部は図13 (c) に示すように径方向に突出させ
15 てある。これは、ビット線S1とのコンタクトを取りやすくするためである。また、
図13 (d) に示すようにドレイン領域205も径方向に突出させてある。この突
出位置は、ドレインとソースとで長手方向でずらしてある。

一方、コンデンサ線状素子207は、中心から電極、絶縁層、電極が外方に向か
い順次形成されている。

20 S1はビット線であり、線状形状をなしている。材料としては導電性ポリマーを
用いることが好ましい。このビット線S1206をソース部204に巻きつけソー
ス204とのコンタクトをとっている。このビット線S1は、MOSFET209
a2、a3……をそれぞれ構成する線状MOSFET素子のソース領域に巻きつけ
られている。

25 また、ドレイン領域205とコンデンサ207とは、線状の導電性ポリマー21
0により接続されている。

なお、図13に示す例では、コンデンサを別の線状素子としたが、MOSFET
が形成されている線状体の適宜の位置に設けておいてもよい。それにより使用する
線状素子の数が少なくなり、集積度をより一層高めることができる。また、コンデ

ンサを導電性ポリマー 210 で接続するのではなく、MOSFET 線状素子に導電性接着剤等を用いて直接接合せしめてもよい。

以上のように線状素子を縦横に織り込んだ後、全体を絶縁性材料で被覆して、導電部のリークを防いでおけばよい。

5 なお、コンデンサに代えてダイオードを用いてもよい。

(実施例 1 5)

本例は、複数の線状素子を束ねることにより形成した集積回路を示す。

本例においても MOSFET 線状素子を使用する例を示す。もちろん他の線状素子を用いてもよい。

10 MOSFET 線状素子を複数個用意する。

各線状素子の端面には、信号入力素子を形成しておき、束ねれば、各種情報を感知することが可能となる。例えば、光センサ、イオンセンサ、圧力センサ等を設けておけば、人間の 5 感に対応した情報を感知することができる。

15 例えば、100 種類の信号に対応したセンサを従来の基板型半導体集積回路で形成しようとすると、100 回のフォトリソ工程を繰り返して製造しなければならない。しかるに、線状素子の端面を利用する場合にはかかるフォトリソ工程を繰り返すことなく簡単に 100 種類の信号に対応したセンサとすることができます。また、高密度のセンサが得られる。

(実施例 1 6)

20 例えば以下に述べるように光起電力集積装置として適用することができる。

p i n 構造を有する線状素子を束ね、撚り合わせ、あるいは織り込むことにより光起電力装置とすることができます。なお、p i n 層は導電性ポリマーにより構成することが好ましい。また、増感剤を添加しておくことが好ましい。

25 例えば、線状素子を織り込むことにより布地とし、この布地により衣服とすることもできる。この場合、線状素子全体が光受光領域となり 360° の角度から入射光を受けることができる。のみならず、三次元的に光を受光することができ、受光効率の優れた光起電力素子とすることができます。

また、光の取り込み効率も非常に高い。すなわち、線状素子に入力せず反射した光も布地内に取り込まれ反射を繰り返すことにより他の線状素子に入力する。

なお、上記線状素子は、押出し加工により形成することが好ましい。

各素子からの電極を集電電極に接続し、この集電電極に接続端子を設けておけばよい。

また、衣服の裏地に蓄電池を組み込んでおけば、暗所においても電気を利用する

5 ことができる。

また、発熱体を衣服に設けておけば、暖房効果を有する衣服とすることができます。

さらに、線状発熱体を絶縁層で被覆し、線状光起電力素子とともに布地状に織り込めば暖房効果を有する衣服を製造することができる。

また、線状素子を所望形状の基材に植毛して太陽電池とすることができます。すな

10 わち、線状素子を毛羽立ち状態あるいはハリネズミ状態で植毛することにより非常に光取り込み効率のよい太陽電池とすることができます。

通信衛星では全体の重量の軽量化が望まれている。上記太陽電池は非常に軽量であるため通信衛星における発電装置として有効である。

可撓性を有しているため任意形状に沿わせることができが可能であり、通信衛星の本

15 体外面に接着剤を用いて貼り付けることができる。

なお、人間の頭の形状に合わせた基材を容易にその表面に線状の光起電力素子を植毛すれば発電機能を有する人工かつらとすることができます。

また、極細線状素子を用いる場合には、スエード効果を有し皮革調の表面とすることができる。かかる線状素子によりバックにすることも可能である。すなわ

20 ち、発電機能を有するバックとすることができます。

(実施例 17)

図 14 に他の例を示す。

本例では、ゲート電極を絶縁層で被覆した線状体の適宜の位置に線状のソース電極とドレイン電極を接触させる。ソース電極の接触部とドレイン電極の接触部にわたる範囲に有機半導体材料を塗布する。

また、図 15 に示すように、線状のソース電極あるいはドレイン電極を、ゲート電極を絶縁層で被覆した線状体に 1 回ないし複数回巻きつけてもよい。巻きつけることにより十分な接触をとることができる。なお、線状体にくびれを設けておけば巻きつけなどを行う際の位置決めに便宜である。

図16に示すように、ソース電極・ドレイン電極は、適宜の線状体にのみ接触させることもできる(A点)。また、ソース・ドレイン電極間をさらに他の導線で接続することができる(B点)。

図16では、列として一列の例を示してあるが、複数列に配置することも可能である。この場合、三次元的に接続を行えばよい。線状体、ソース電極、ドレイン電極は、可撓性を有しているため、所望する位置において所望する方向に曲げることができる。

線状体として例えばMOSFET線状素子などを用いて、三次元的に相互の接続を所望する位置でとれば、所望する論理回路を組み立てることができる。従来の半導体基板を基本構成とした場合には、電流流路が長いものとならざるを得ないが、線状素子を用いれば電流の流路は極めて短くすることが可能であり、極めて高速の論理回路を構成することが可能となる。

産業上の利用可能性

形状に限定されることなく、柔軟性ないし可撓性を有し、任意の形状の各種装置を作成することが可能な集積装置を提供することができる。

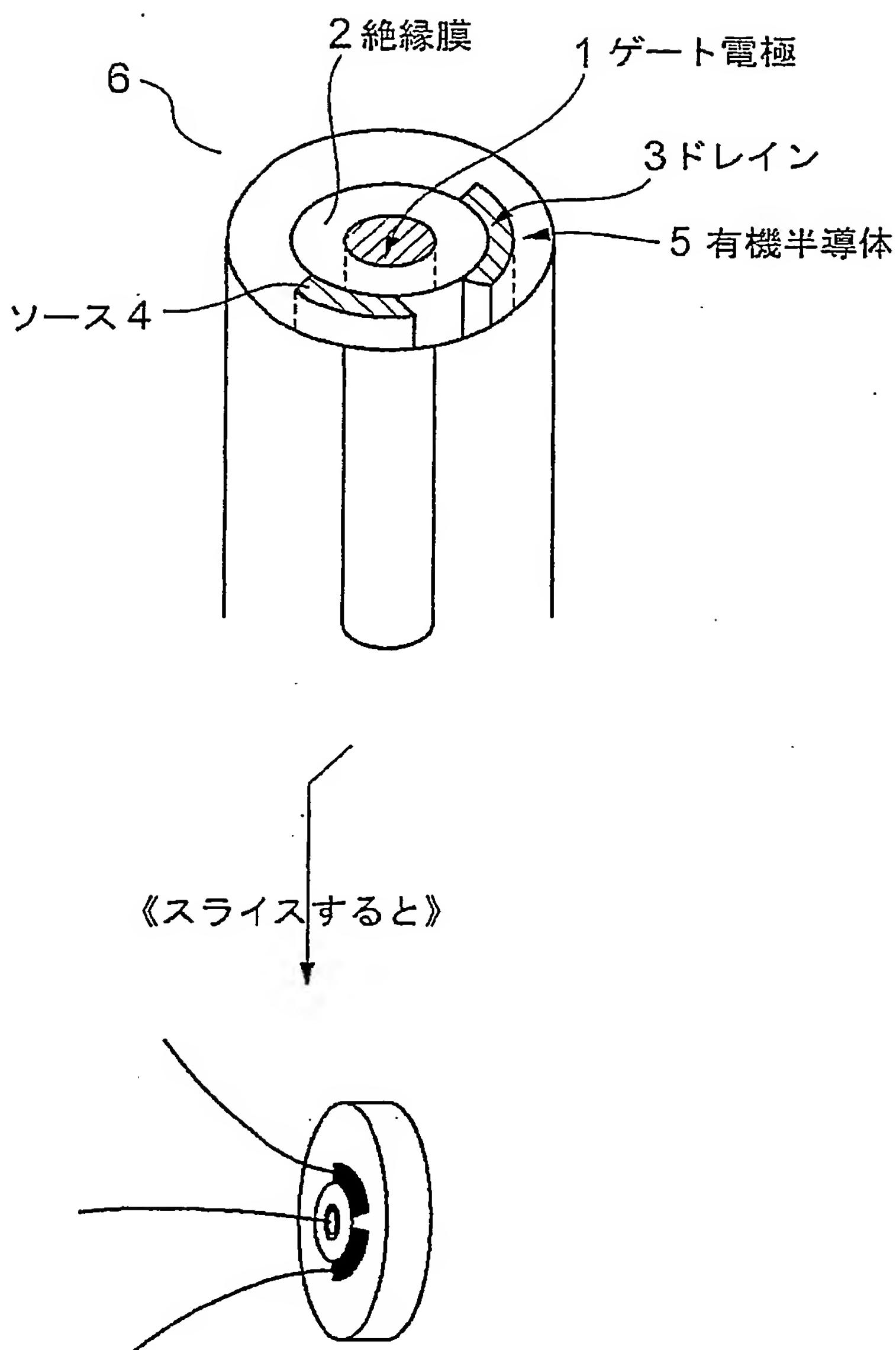
請求の範囲

1. 回路素子が長手方向に連続的又は間欠的に形成されている線状素子を複数束ねたことを特徴とする集積装置。
- 5 2. 回路素子が長手方向に連続的又は間欠的に形成されている線状素子を複数撲り合せたことを特徴とする集積装置。
3. 回路素子が長手方向に連続的又は間欠的に形成されている線状素子を複数織り込む又は編み込んだことを特徴とする集積装置。
4. 回路素子が長手方向に連続的又は間欠的に形成されている線状素子を複数接合したことを特徴とする集積装置。
- 10 5. 回路素子が長手方向に連続的又は間欠的に形成されている線状素子を複数組み合わせて成形加工したことを特徴とする集積装置。
6. 回路素子が長手方向に連続的又は間欠的に形成されている線状素子を不織状に成形したことを特徴とする集積回路。
- 15 7. 回路素子が長手方向に連続的又は間欠的に形成されている線状素子を複数織り込む又は編み込むにより形成した布地状体。
8. 回路素子が長手方向に連続的又は間欠的に形成されている線状素子を複数織り込む又は編み込むことにより製造したことを特徴とする衣服。
9. 回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成20 されている線状素子を複数束ねたことを特徴とする集積装置。
10. 回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子を複数撲り合せたことを特徴とする集積装置。
11. 回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子を複数織り込む又は編み込むことを特徴とする集積装置。
- 25 12. 回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子を複数接合したことを特徴とする集積装置。
13. 回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子を複数組み合わせて成形加工したことを特徴とする集積装置。

- 1 4. 回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子を不織状に成形したことを特徴とする集積回路。
- 1 5. 回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子を複数織り込む又は編み込むことにより形成した布地状体。
- 5 1 6. 回路を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている線状素子を複数織り込む又は編み込むことにより製造したことを特徴とする衣服。

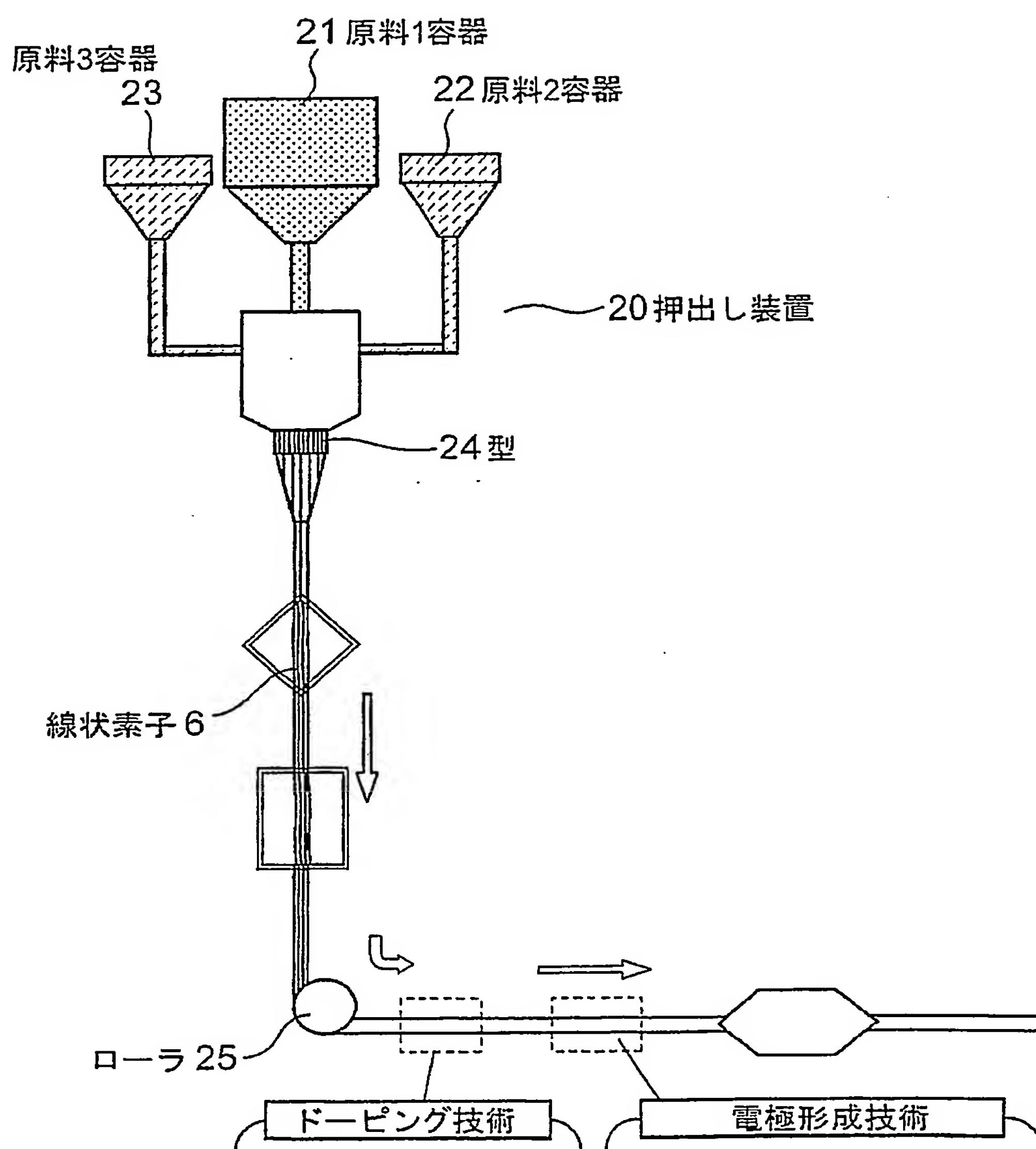
1/15

第1図



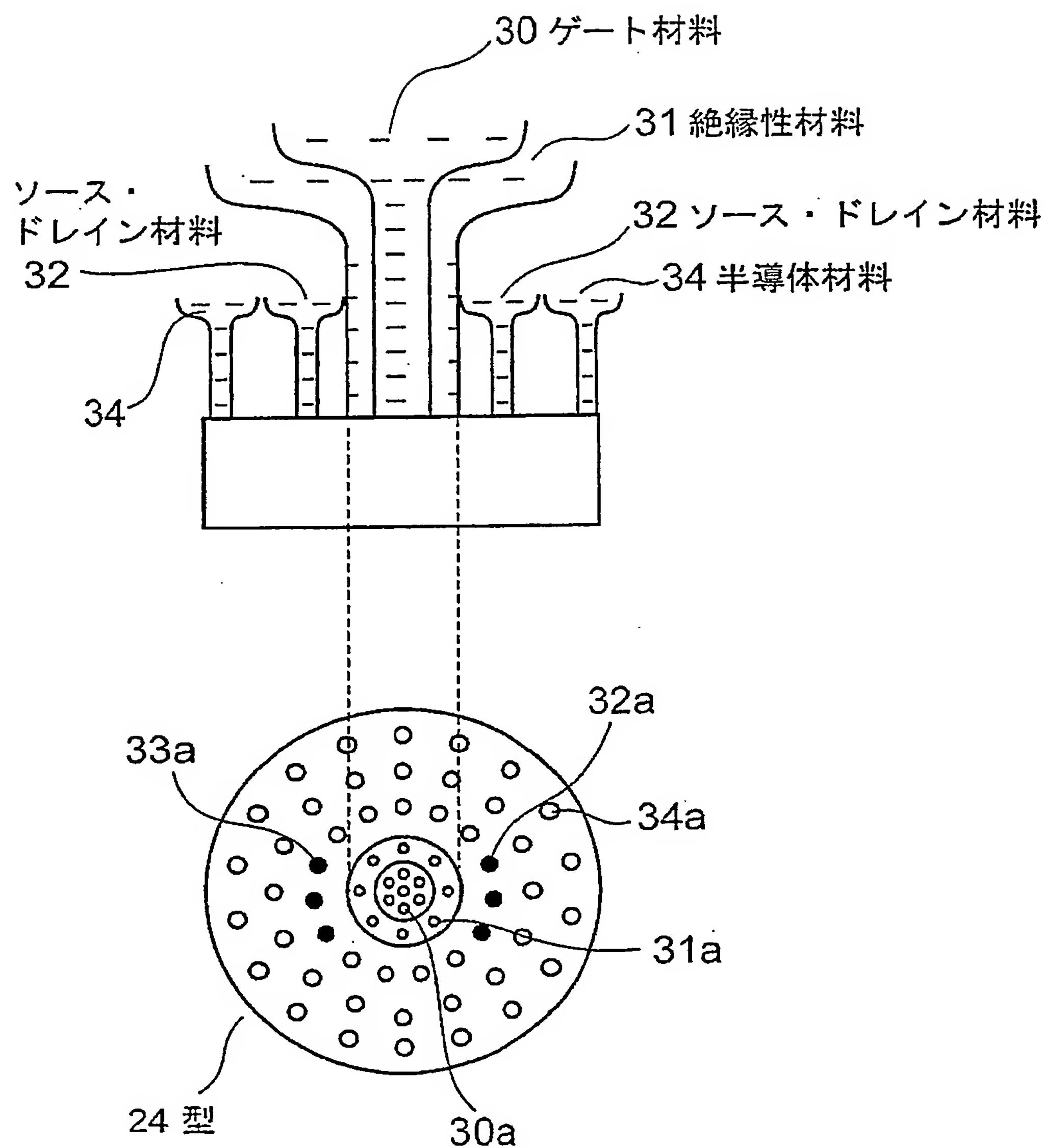
2/15

第2図



3/15

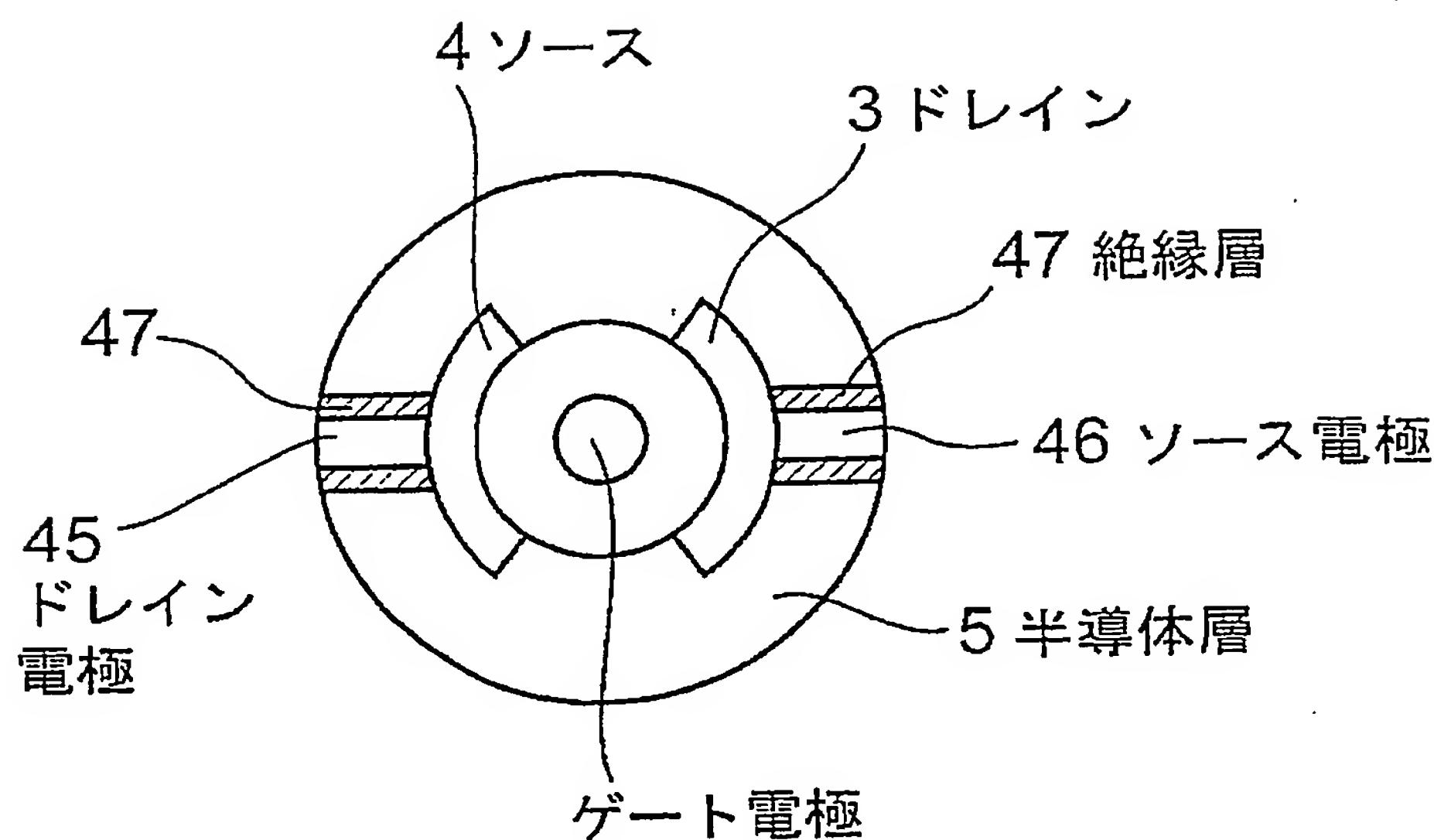
第3図



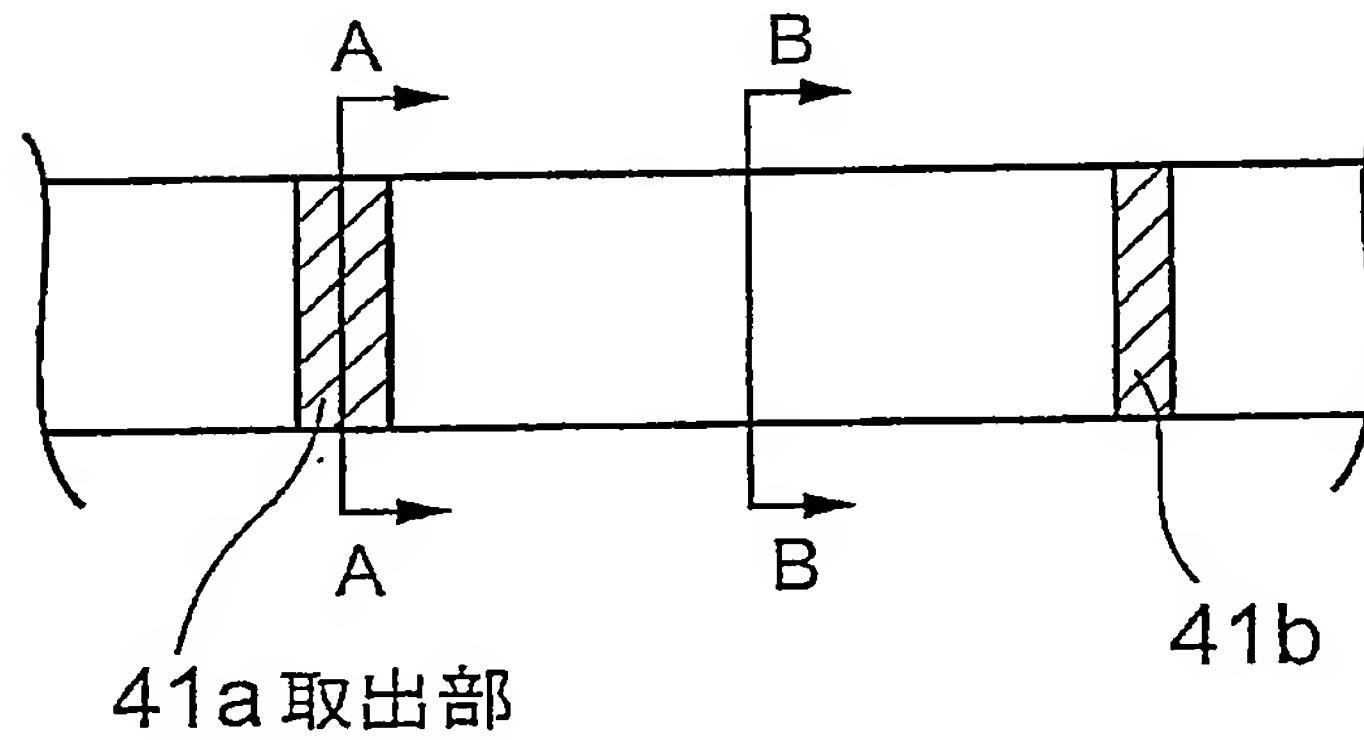
4/15

第4図

(a)

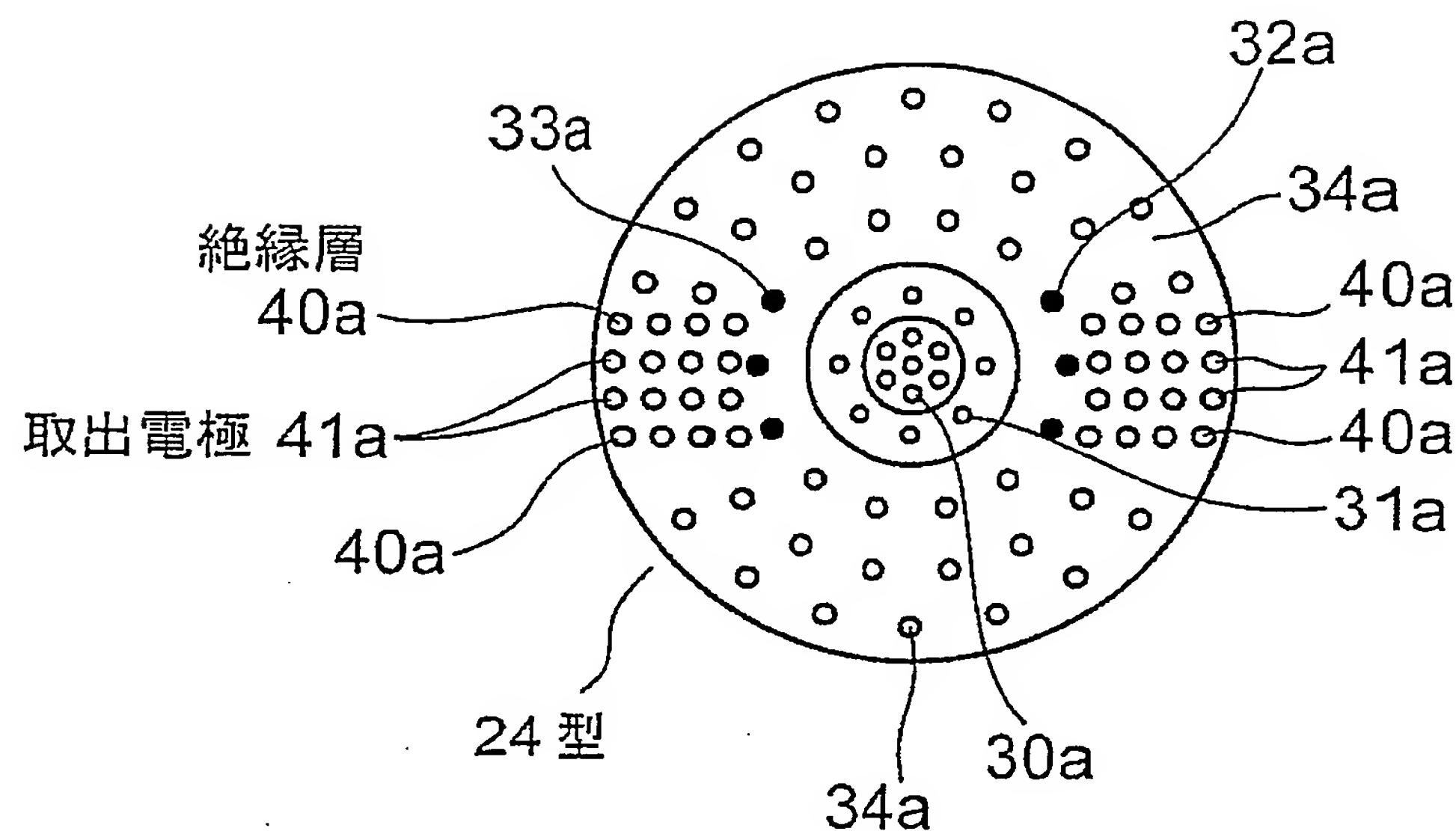


(b)



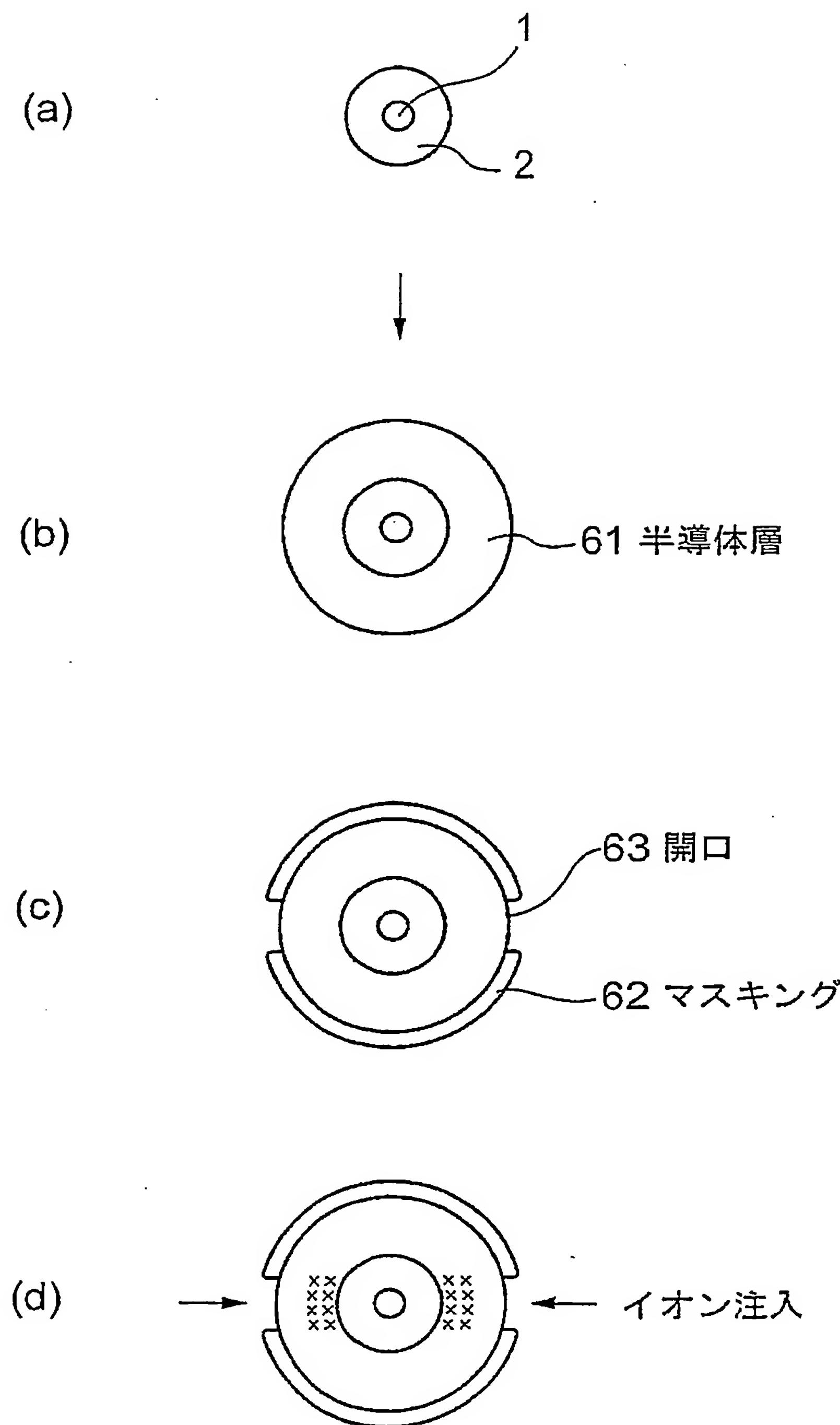
5/15

第5回



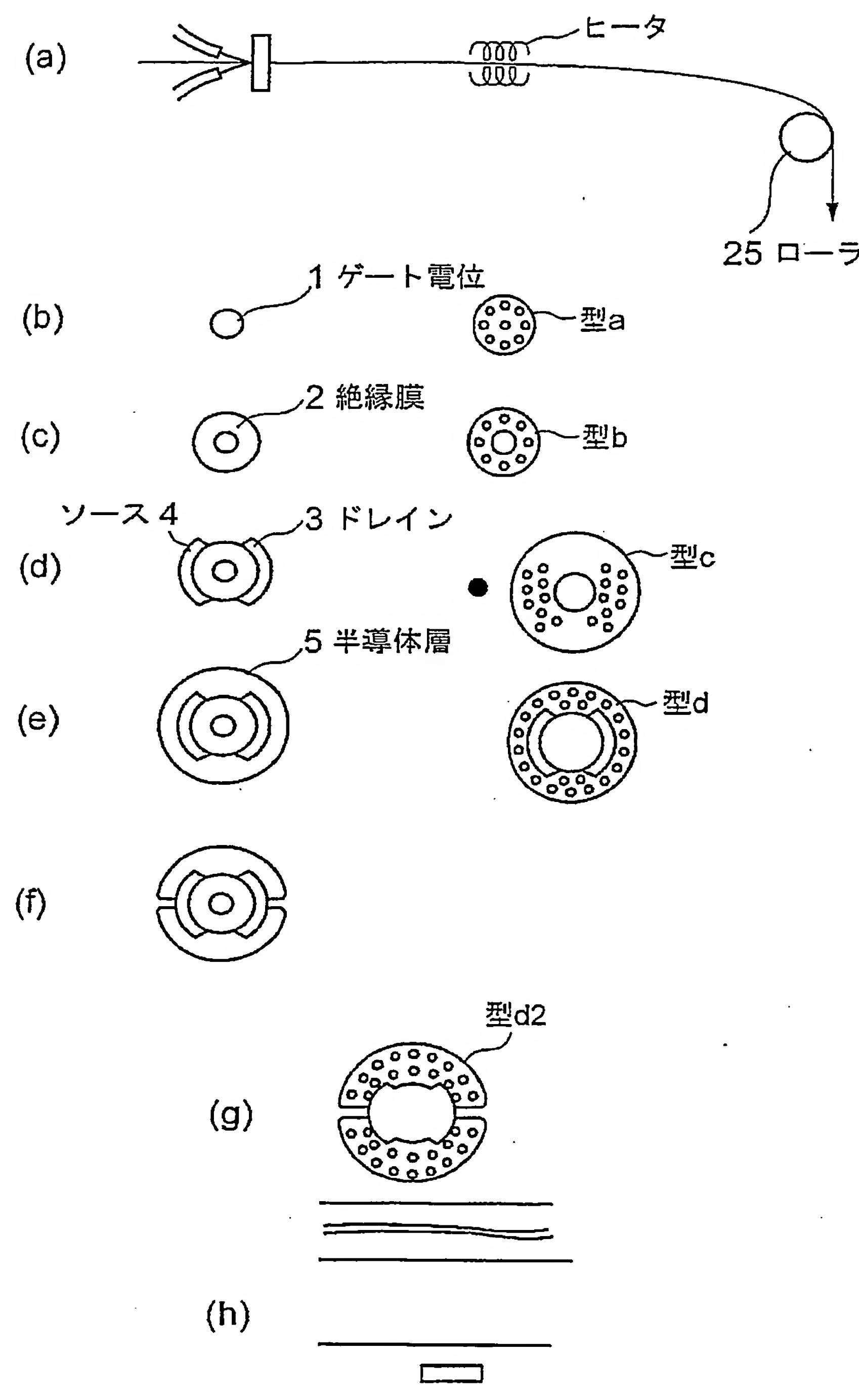
6/15

第6図



7/15

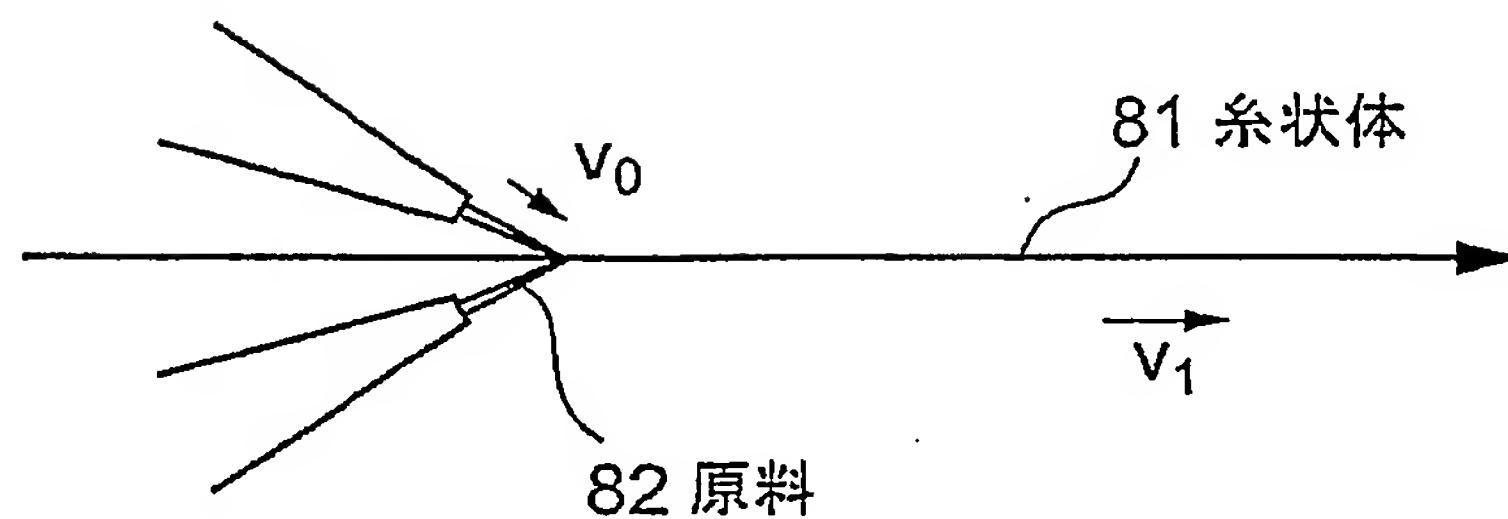
第7図



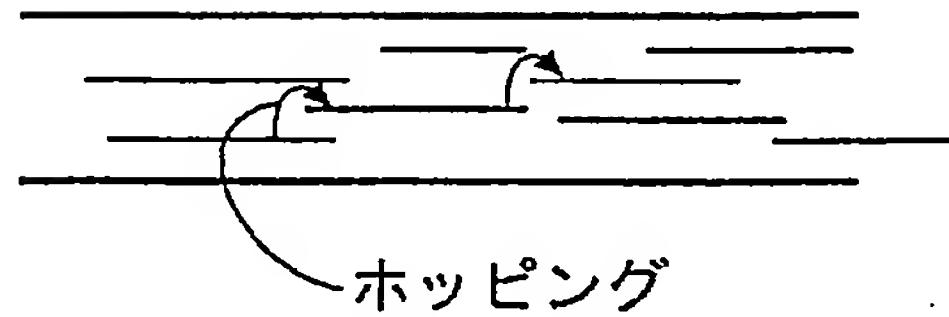
8/15

第8図

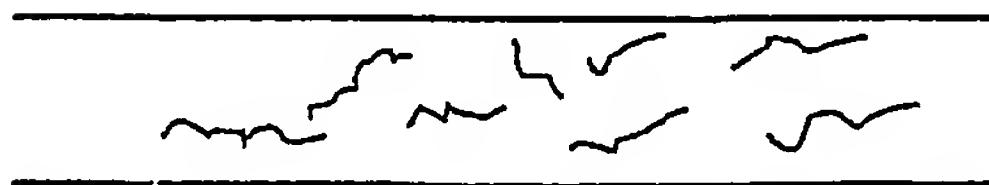
(a)

 v_0 : 原料射出速度 v_1 : 糸状体走行速度

(b)

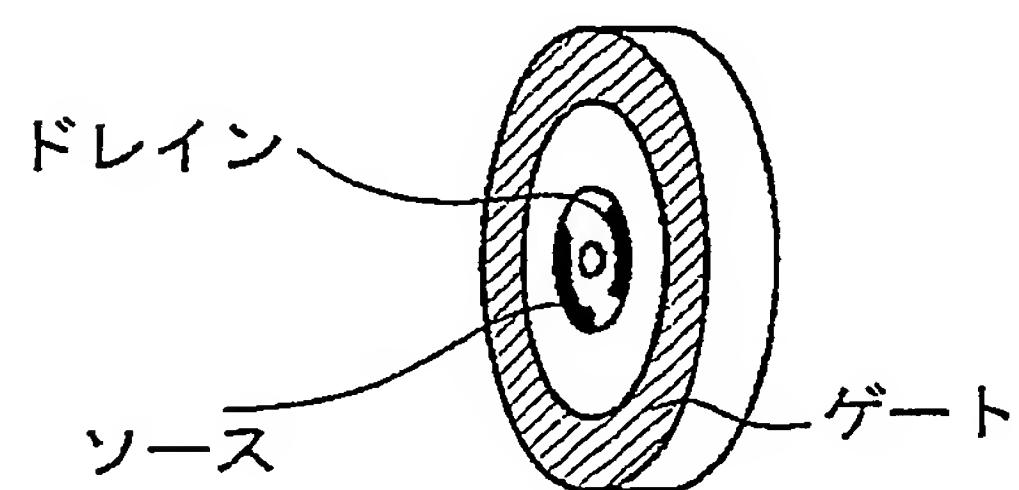
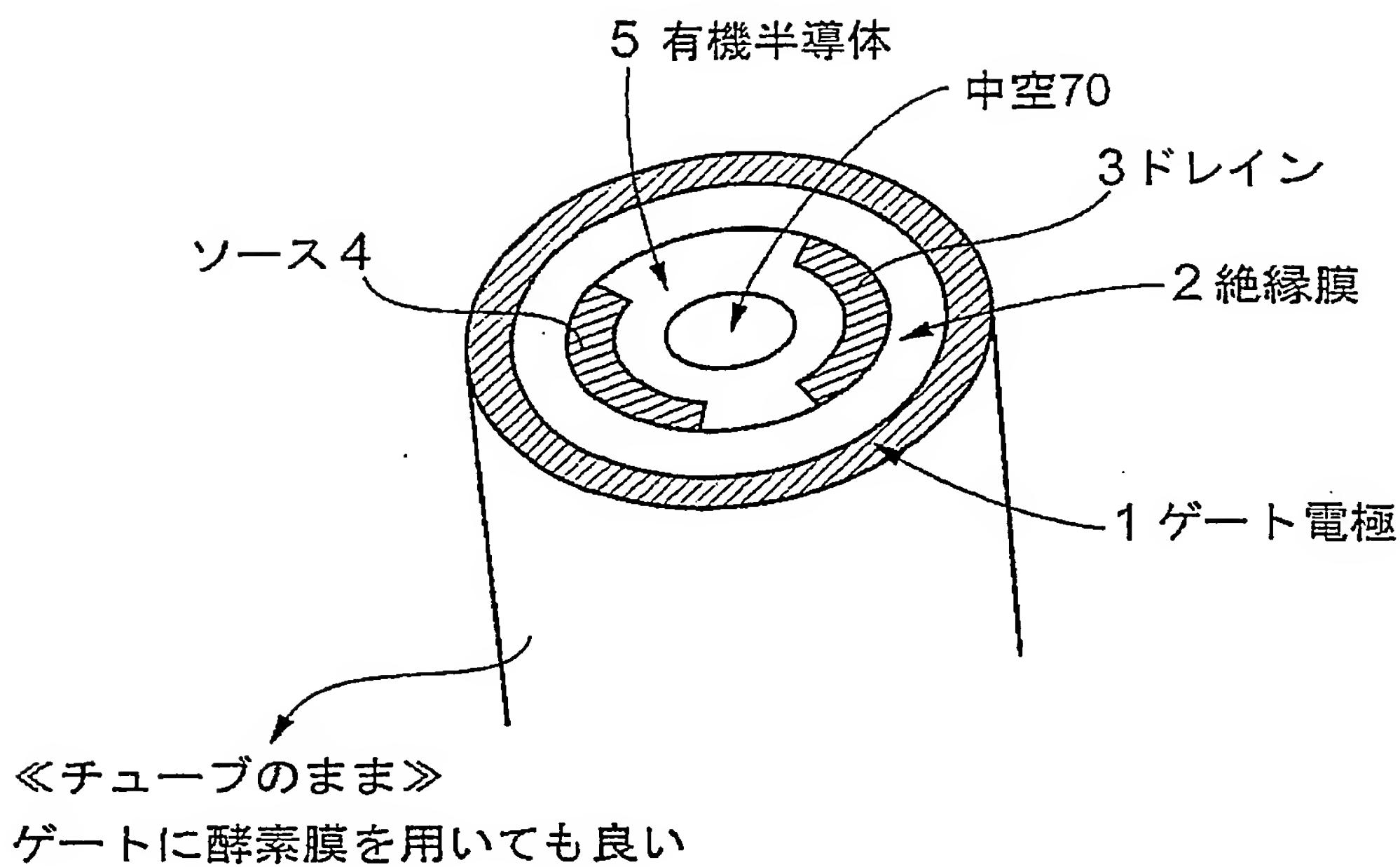


(c)



9/15

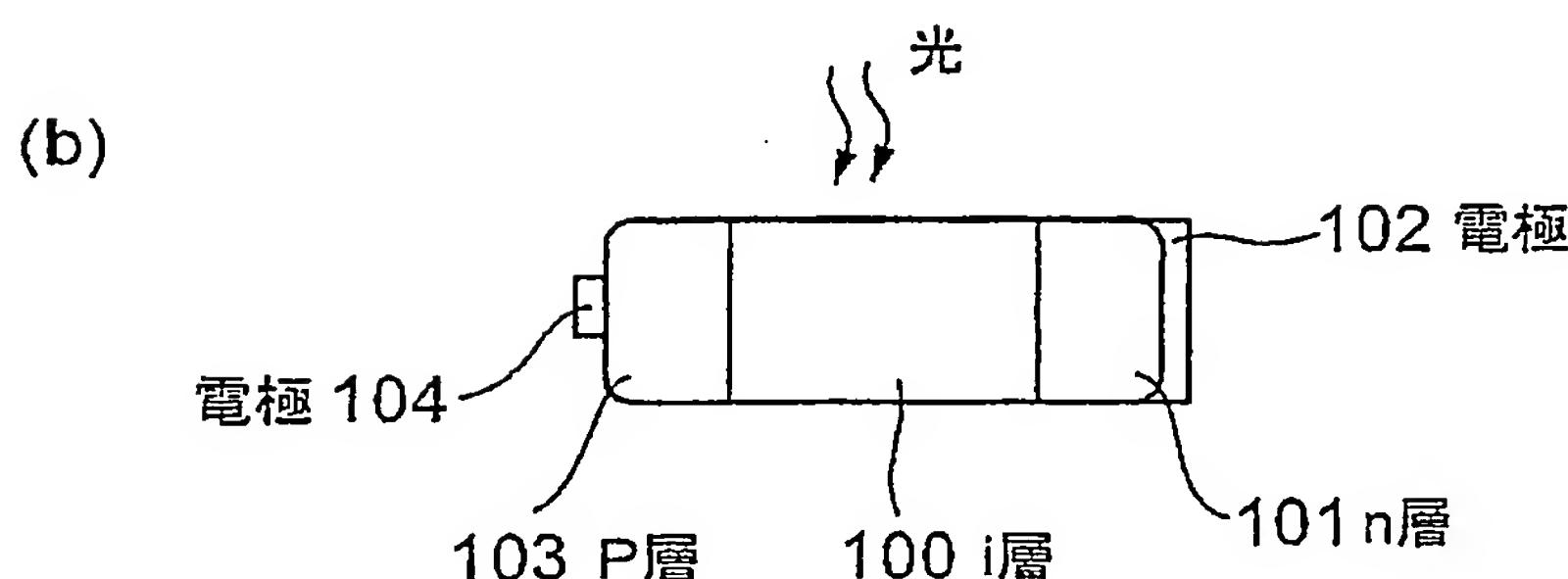
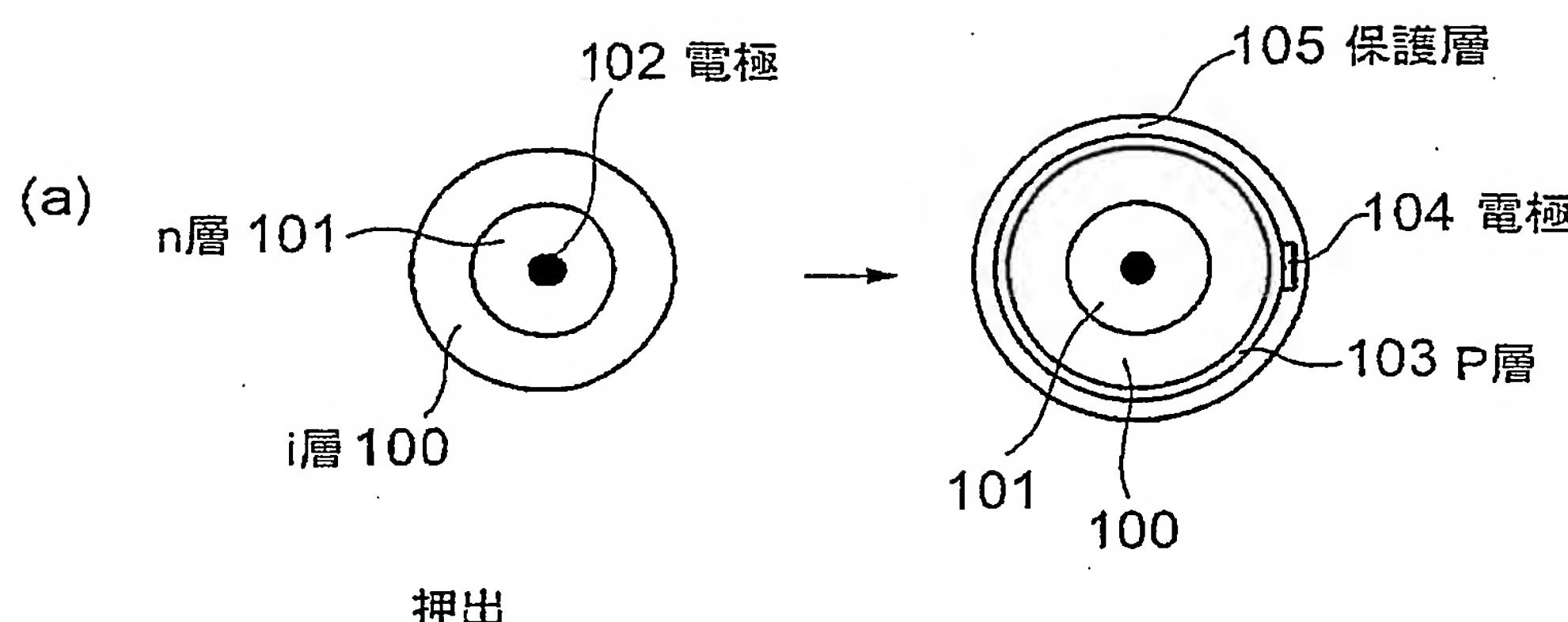
第9図



10/15

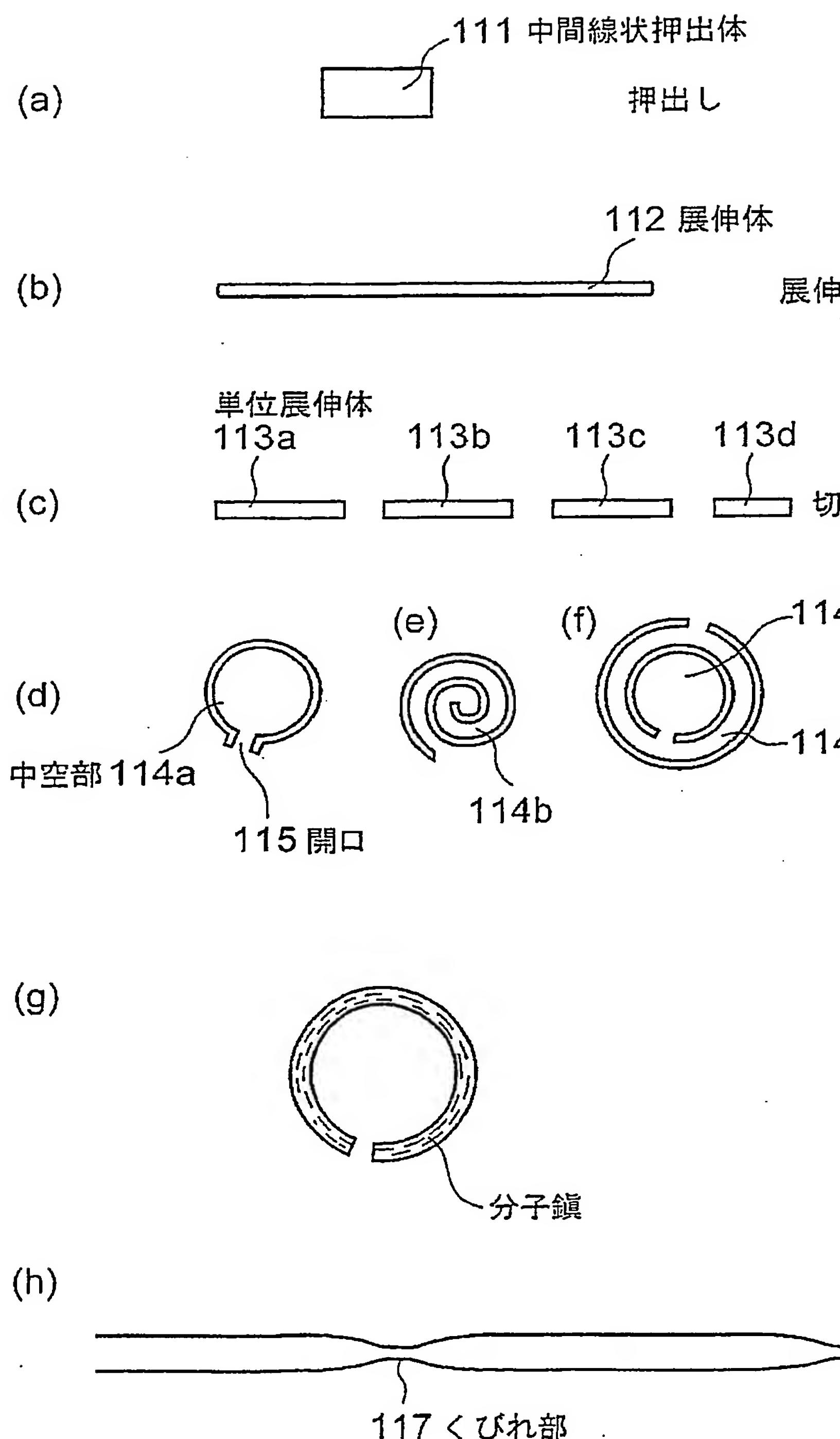
第10図

光電力素子



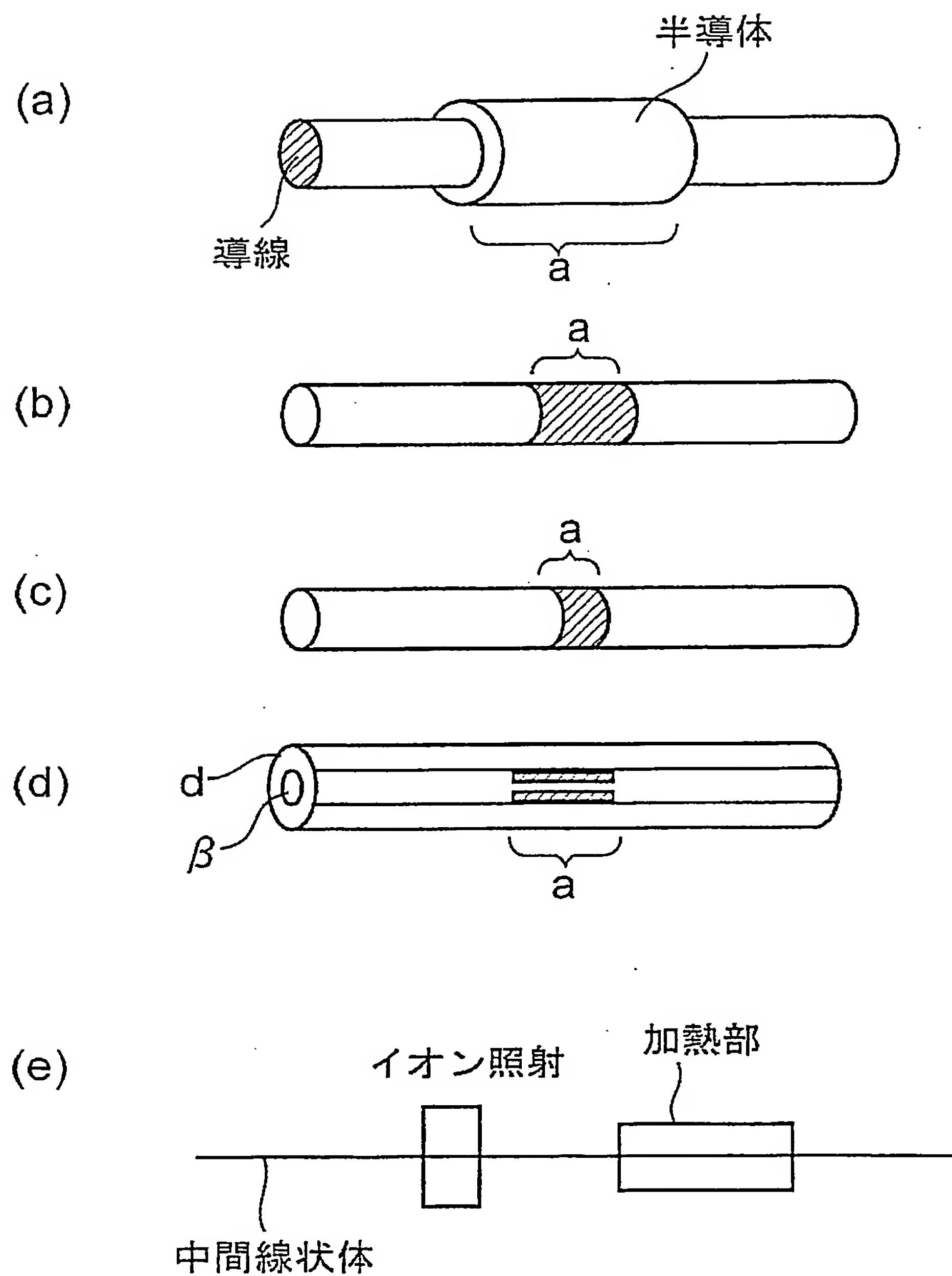
11/15

第11図



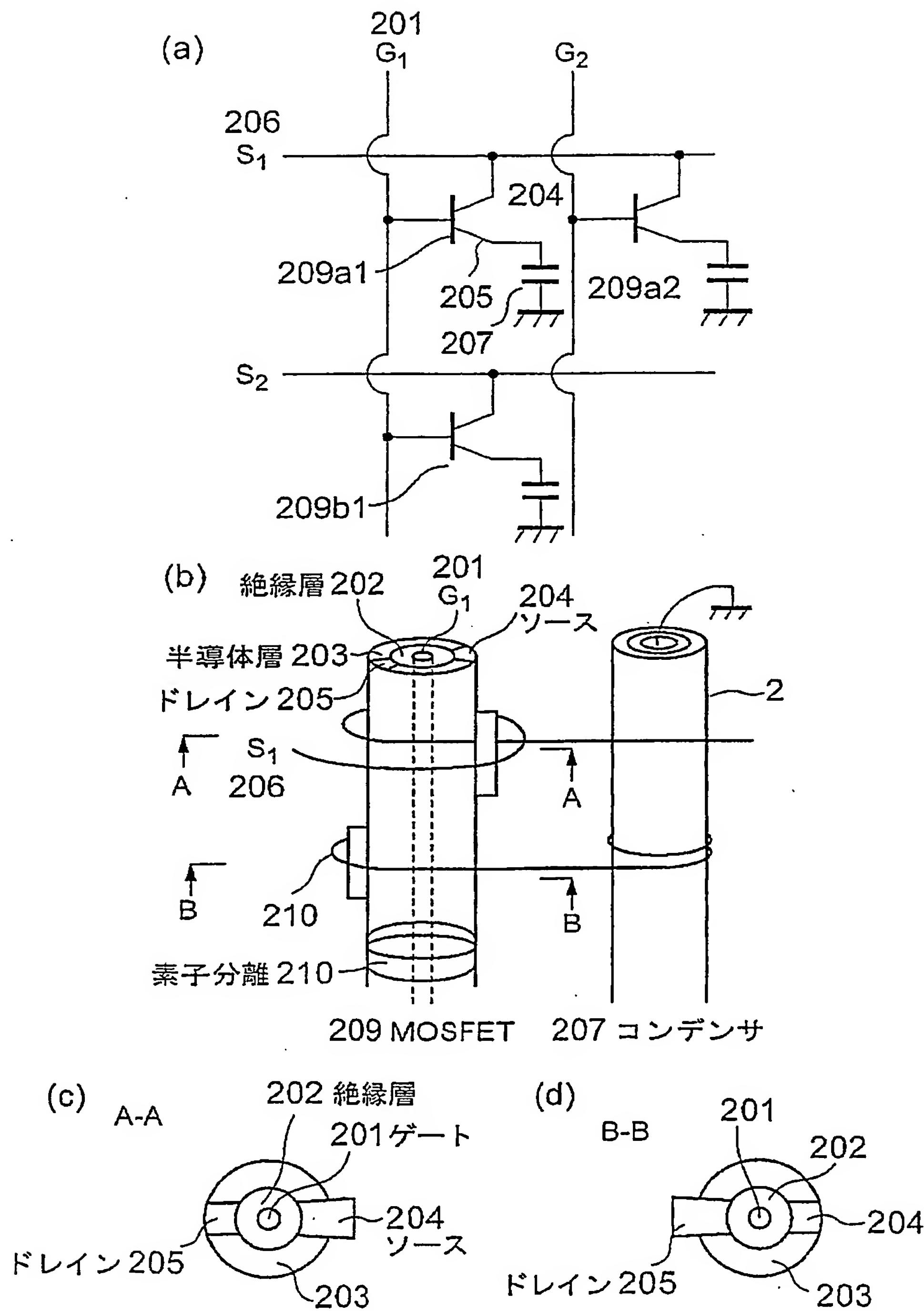
12/15

第12図



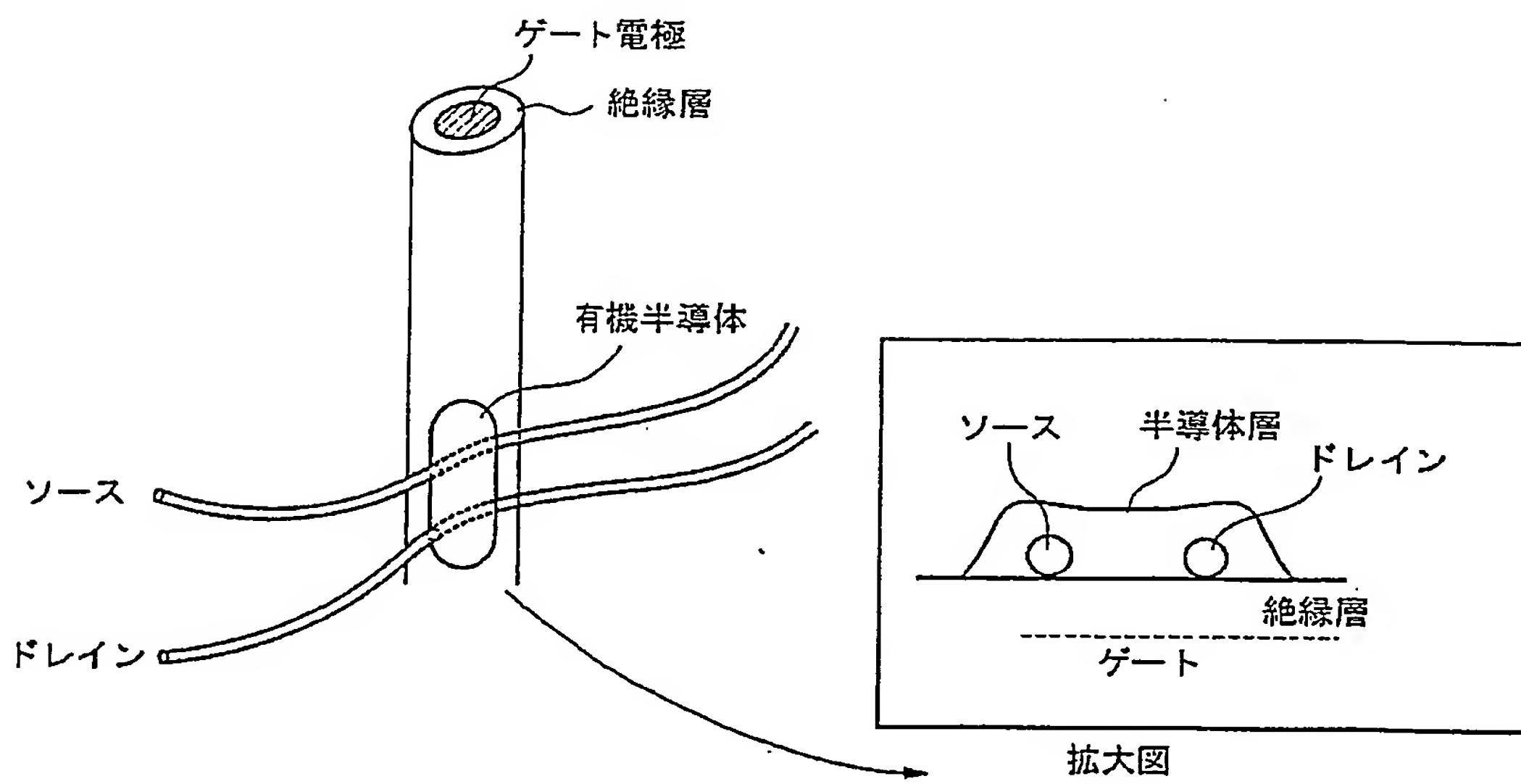
13/15

第13図

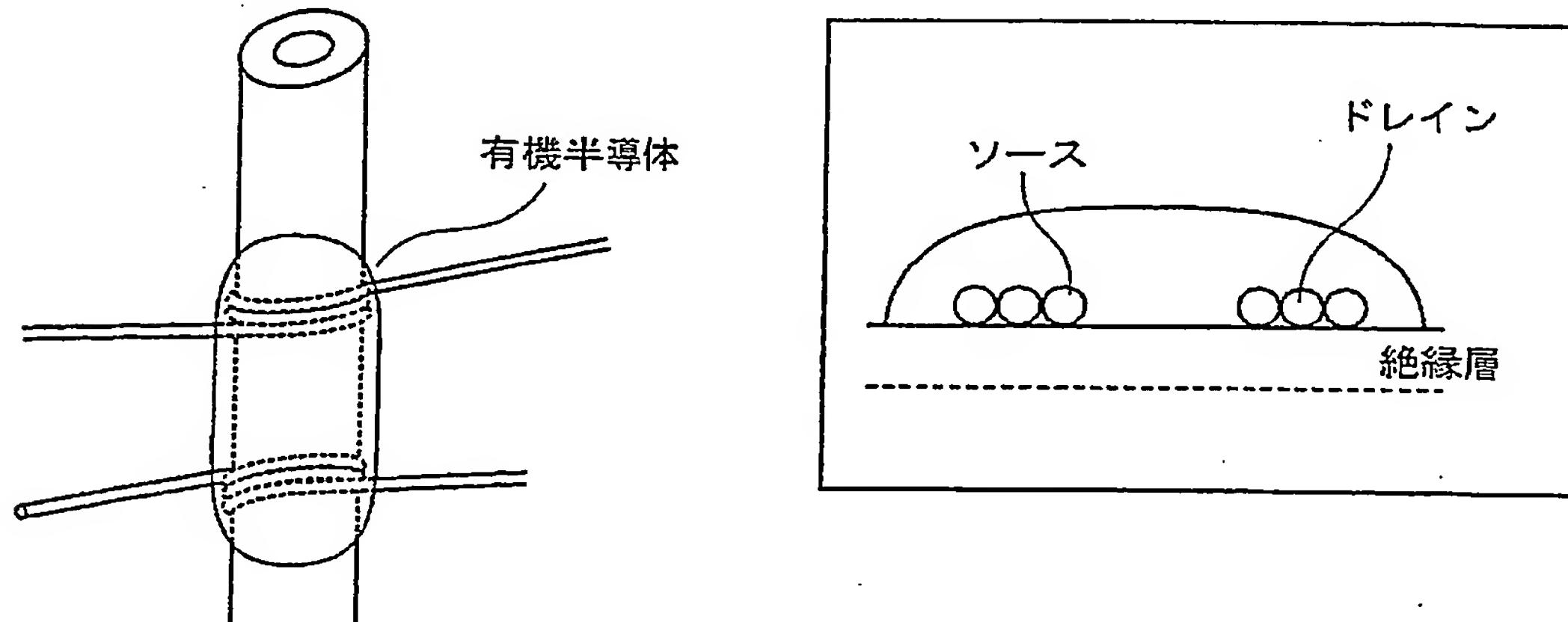


14/15

第14図

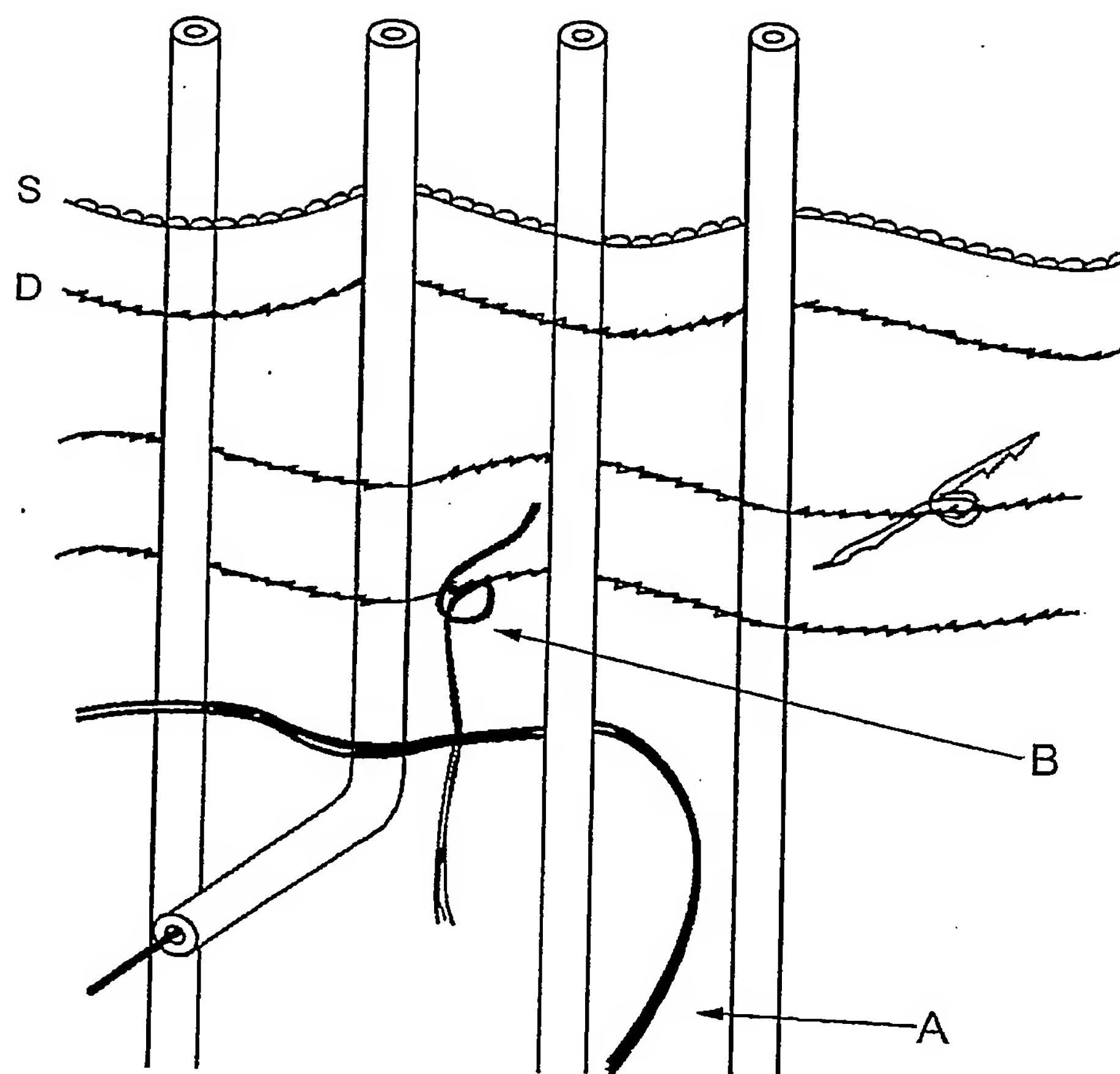


第15図



15/15

第16図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/05621

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl' H01L29/06, H01L29/78, H01L21/336, H01L27/108, H01L21/8242,
H01L27/146, H01L29/786, H01L29/861, H01L51/00, H01L31/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl' H01L29/06, H01L29/78, H01L21/336, H01L27/108, H01L21/8242,
H01L27/146, H01L29/786, H01L29/861, H01L51/00, H01L31/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4913744 A (Helmut Hoegl), 03 April, 1990 (03.04.90), Full text; Figs. 1 to 19	1-7, 9-15
Y	& JP 63-232467 A Full text; Figs. 1 to 19 & EP 275006 A2 & DE 3700792 A & DE 3745132 A1	8, 16
X	JP 2001-77445 A (Sony Corp.), 23 March, 2001 (23.03.01), Full text; Figs. 1 to 31 (Family: none)	1, 3-5, 7-9, 11-13, 15, 16 2, 6, 10, 14
Y		

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
17 July, 2003 (17.07.03)Date of mailing of the international search report
29 July, 2003 (29.07.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JPO3/05621

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, X	JP 2003-161844 A (Japan Science and Technology Corp.), 06 June, 2003 (06.06.03), Full text; Figs. 1 to 11 (Family: none)	1,3-5,7-9, 11-13,15,16
E, Y		2,6,10,14
X A	JP 2000-31006 A (Asahi Optical Co., Ltd.), 28 January, 2000 (28.01.00), Full text; Figs. 1 to 17 (Family: none)	1,4,9,12 2,3,5-8,10, 11,13-16
X A	JP 10-256579 A (Toshiba Corp.), 25 September, 1998 (25.09.98), Full text; Figs. 1 to 19 (Family: none)	1,4,9,12 2,3,5-8,10, 11,13-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17 H01L29/06, H01L29/78, H01L21/336, H01L27/108,
H01L21/8242, H01L27/146, H01L29/786, H01L29/861,
H01L51/00, H01L31/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 H01L29/06, H01L29/78, H01L21/336, H01L27/108,
H01L21/8242, H01L27/146, H01L29/786, H01L29/861,
H01L51/00, H01L31/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 4913744 A (Helmut Hoeg 1)	1-7, 9-15
Y	1990. 04. 03, 全文, 第1-19図 & JP 63-232467 A, 全文, 第1-19図 & EP. 275006 A2 & DE 3700792 A & DE 3745132 A1	8, 16
X	JP 2001-77445 A (ソニー株式会社)	1, 3-5, 7-9,
Y	2001. 03. 23, 全文, 第1-31図 (ファミリーなし)	11-13, 15, 16 2, 6, 10, 14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

17. 07. 03

国際調査報告の発送日

29.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

渕 真悟

4L 2933



電話番号 03-3581-1101 内線 3496

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
EX	JP 2003-161844 A (科学技術振興事業団) 2003. 06. 06, 全文, 第1-11図 (ファミリーなし)	1, 3-5, 7-9, 11-13, 15, 16 2, 6, 10, 14
EY		
X A	JP 2000-31006 A (旭光学工業株式会社) 2000. 01. 28, 全文, 第1-17図 (ファミリーなし)	1, 4, 9, 12 2, 3, 5-8, 10, 11, 13-16
X A	JP 10-256579 A (株式会社東芝) 1998. 09. 25, 全文, 第1-19図 (ファミリーなし)	1, 4, 9, 12 2, 3, 5-8, 10, 11, 13-16